

Министерство науки и высшего образования Российской Федерации

САНКТ-ПЕТЕРБУРГСКИЙ
ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ ПЕТРА ВЕЛИКОГО

Д. В. Морозов М. М. Пилипко М. С. Енученко

СХЕМОТЕХНИКА ЦИФРОВЫХ УСТРОЙСТВ
КОМБИНАЦИОННЫЕ И ПОСЛЕДОВАТЕЛЬНОСТНЫЕ СХЕМЫ

Учебное пособие

Санкт-Петербург

2022

УДК 004.31: 621.382.2/.3
ББК 32.852.8:32.847:32.971

М80

Морозов Д. В. Схемотехника цифровых устройств. Комбинационные и последовательностные схемы : учеб. пособие / Д. В. Морозов, М. М. Пилипко, М. С. Енученко. – СПб., 2022. – 106 с.

Соответствует содержанию дисциплины «Схемотехника цифровых устройств» Федерального образовательного стандарта высшего образования по направлению подготовки 11.03.04 «Электроника и наноэлектроника». Изложены основные сведения по построению цифровых схем на металл-оксид-полупроводник (МОП) транзисторах. Рассмотрены структура, принцип действия, вольт-амперные характеристики и эквивалентные схемы МОП-транзисторов. Представлены основы алгебры логики, логические элементы и комбинационные цифровые схемы: инвертор, «И-НЕ», «ИЛИ-НЕ», «И-ИЛИ-НЕ», «ИЛИ-И-НЕ», «исключающее ИЛИ», «исключающее ИЛИ-НЕ», мультиплексоры и сумматоры. Описана реализация схем с использованием транзисторов с дополнительным управлением по стоку или истоку. Приводятся последовательностные цифровые схемы – триггеры, регистры и счётчики. Использование материала учебного пособия должно исключить боль и слезы при изучении дисциплины.

Предназначено для студентов, обучающихся по направлению подготовки 11.03.04 «Электроника и наноэлектроника».

Табл. 26. Ил. 85. Библиогр.: 10 назв.

ОГЛАВЛЕНИЕ

Список принятых сокращений.....	5
Введение	6
1. Металл-оксид-полупроводник транзисторы.....	7
1.1. Структура и принцип действия.....	7
1.2. Вольт-амперные характеристики и эквивалентные схемы.....	9
1.3. Вопросы для самопроверки.....	11
2. Комбинационные цифровые схемы.....	12
2.1. Комплементарный инвертор.....	12
2.2. Логические функции и алгебра логики.....	16
2.3. Логические элементы «И-НЕ» и «ИЛИ-НЕ».....	19
2.4. Логические элементы «ИЛИ-И-НЕ» и «И-ИЛИ-НЕ».....	23
2.5. Мультиплексоры.....	26
2.6. Логические элементы «исключающее ИЛИ» и «исключающее ИЛИ-НЕ».....	29
2.7. Синтез комбинационных цифровых схем.....	31
2.7.1. Совершенные дизъюнктивная и конъюнктивная нормальные формы.....	31
2.7.2. Метод Куайна.....	35
2.7.3. Карты Карно.....	36
2.7.4. Синтез комбинационных схем на логических элементах «И-НЕ» и «ИЛИ-НЕ».....	40
2.7.5. Синтез комбинационных схем на логических элементах «И-ИЛИ-НЕ» и «ИЛИ-И-НЕ».....	42
2.7.6. Синтез комбинационных схем на мультиплексорах.....	44
2.8. Сумматоры.....	46
2.9. Вопросы для самопроверки.....	52
3. Последовательностные цифровые схемы.....	53
3.1. Особенности и способы описания.....	53
3.2. Триггеры с потенциальным управлением.....	55
3.2.1. <i>RS</i> -триггеры.....	56
3.2.2. <i>RCS</i> -триггер.....	62
3.2.3. Асинхронный <i>D</i> -триггер.....	64
3.3. Триггеры с динамическим управлением.....	65
3.3.1. <i>T</i> -триггер.....	65
3.3.2. <i>D</i> -, <i>DV</i> - и <i>DRS</i> -триггеры.....	69
3.3.3. Синтез триггерных схем.....	71

3.3.4. <i>D</i> -триггер на основе проходных транзисторов....	77
3.3.5. <i>JK</i> -триггер.....	79
3.4. Регистры.....	81
3.4.1. Параллельный регистр.....	82
3.4.2. Регистр сдвига.....	84
3.4.3. Реверсивный регистр сдвига.....	86
3.4.4. Параллельно-последовательный регистр.....	87
3.4.5. Последовательно-параллельный регистр.....	89
3.5. Счётчики.....	90
3.5.1. Двоичные счётчики.....	91
3.5.2. Счётчики с произвольным коэффициентом пересчёта.....	96
3.6. Потребляемая мощность цифровой схемы.....	101
3.7. Вопросы для самопроверки.....	105
Библиографический список	106

СПИСОК ПРИНЯТЫХ СОКРАЩЕНИЙ

ВХ – вход;

ВЫХ – выход;

ДИН – динамическая;

ЗД – задержка;

МОП – металл-оксид-полупроводник;

КМОП – комплементарный металл-оксид-полупроводник;

ПИТ – питание;

ПОТР – потребляемая;

СДНФ – совершенная дизъюнктивная нормальная форма;

СКВ – сквозной;

СКНФ – совершенная конъюнктивная нормальная форма;

СР – средняя;

СТАТ – статическая.

ВВЕДЕНИЕ

В учебном пособии изложены основные сведения по построению цифровых схем на металл-оксид-полупроводник (МОП) транзисторах. В первом разделе рассмотрены структура и принцип действия МОП-транзистора. Обсуждается работа МОП-транзисторов с индуцированными каналами *n*- и *p*-типа при воздействии различных напряжений сток-исток и затвор-исток. Приведены аппроксимации для тока стока. Представлены параметры МОП-транзистора. Показаны передаточные и выходные статические характеристики. Введены условные обозначения МОП-транзисторов.

Во втором разделе рассматриваются комбинационные цифровые схемы. Обсуждается схема комплементарного инвертора. Представлены передаточная характеристика, малосигнальная эквивалентная схема и проведена оценка запаса помехоустойчивости. Изложены основы алгебры логики. Объясняется работа логических элементов и комбинационных схем: инвертор, «И-НЕ», «ИЛИ-НЕ», «И-ИЛИ-НЕ», «ИЛИ-И-НЕ», «исключающее ИЛИ», «исключающее ИЛИ-НЕ», мультиплексоры и сумматоры. Описана реализация схем на транзисторном уровне, в том числе с использованием МОП-транзисторов с дополнительным управлением по стоку или истоку. Показаны сигналы в схемах во временной области. Представлены условные обозначения логических элементов.

В третьем разделе обсуждаются последовательностные цифровые схемы – триггеры, регистры и счётчики. Рассматриваются *RS*-, *RCS*-, *T*-, *D*- и *JK*-триггеры; параллельные, последовательные, параллельно-последовательные, последовательно-параллельные и реверсивные регистры сдвига; суммирующие, вычитающие, реверсивные, двоичные, двоично-десятичные и с произвольным коэффициентом пересчёта, счётчики с последовательным и параллельным переносом. Представлены реализации последовательностных схем на уровне логических элементов, приведены условные обозначения и показаны сигналы в схемах во временной области.

1. МЕТАЛЛ-ОКИД-ПОЛУПРОВОДНИК ТРАНЗИСТОРЫ

1.1. СТРУКТУРА И ПРИНЦИП ДЕЙСТВИЯ

Структура металл-оксид-полупроводник (МОП) транзистора с индуцированным каналом n -типа [1, 2] показана на рис. 1. Пластина полупроводника p -типа называется подложкой (П). Электрод для создания поля является затвором (З). Два других электрода называют стоком (С) и истоком (И). Поскольку структура симметрична, то сток и исток взаимозаменяемы. Стоком является тот, на который при соответствующей полярности напряжения поступают рабочие носители заряда. Если канал n -типа, то рабочие носители – электроны, полярность напряжения сток-исток $U_{си}$ положительная и относительно напряжения на подложке $U_{сп} > U_{ип}$. В случае МОП-транзистора с индуцированным каналом p -типа, подложка n -типа, рабочие носители – дырки, $U_{си} < 0$ и $U_{сп} < U_{ип}$.

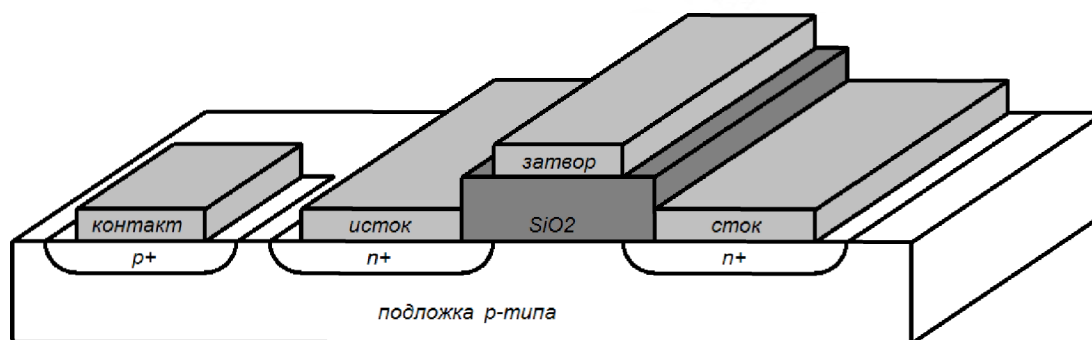


Рис. 1. МОП-транзистор с индуцированным каналом n -типа

Транзистор, показанный на рис. 1, работает следующим образом. Пусть затвор соединён с истоком, т.е. разность потенциалов затвор-исток $U_{зи} = 0$. При этом канал отсутствует. Поэтому при подаче напряжения сток-исток $U_{си}$ ток в цепи стока I_c будет определяться лишь утечками и будет ничтожно мал. Если подать на затвор-исток отрицательное напряжение $U_{зи} < 0$, то слой полупроводника обогатится дырками, при этом ток в стоковой цепи по-прежнему будет определяться утечками. Если же подавать на

затвор-исток возрастающее положительное напряжение $U_{зи} > 0$, то сначала образуется обеднённый слой дырок, а затем при превышении порогового напряжения – слой электронов, т.е. проводящий канал. При этом ток стока I_c будет зависеть от значения напряжения $U_{зи}$.

Каналы, отсутствующие в равновесном состоянии и образующиеся под действием внешнего напряжения, называют индуцированными. Напряжение затвор-исток, при котором образуется канал, является пороговым напряжением отпираания транзистора и обозначается U_0 . Длина канала L равна расстоянию между проводниками истока и стока, а ширина W – протяжённости этих проводников. Если рассматривать МОП-транзистор с индуцированным каналом p -типа, то для такой структуры характерны обратные полярности порогового и рабочих напряжений: $U_0 < 0$, $U_{зи} < 0$, $U_{си} < 0$. Схемы, в которых используется сочетание МОП-транзисторов с каналами n - и p -типа, называют комплементарными.

Рассмотрим МОП-транзистор с индуцированным каналом n -типа. Если напряжение $U_{си} = 0$, то поверхность полупроводника эквипотенциальна, поле в диэлектрике однородное, и толщина образовавшегося канала одинакова на всем протяжении. Если же $U_{си} > 0$, то протекает ток стока, и потенциал поверхности полупроводника возрастает от истока к стоку. Значит, разность потенциалов между затвором и поверхностью полупроводника в направлении стока уменьшается. Соответственно уменьшаются напряжённость поля в диэлектрике и удельный заряд электронов в канале. Поэтому сечение канала в глубину вблизи стока сужается.

При некотором критическом напряжении сток-исток, которое называют напряжением насыщения $U_{син}$, разность потенциалов между затвором и истоком становится равной пороговому напряжению $U_{син} = U_{зи} - U_0$. При $U_{си} > U_{син}$ слой объёмного заряда начинает выходить на поверхность вблизи стока, вследствие этого, происходит укорочение длины канала. В насыщении ток стока практически перестаёт зависеть от напряжения $U_{си}$.

1.2. ВОЛЬТ-АМПЕРНЫЕ ХАРАКТЕРИСТИКИ И ЭКВИВАЛЕНТНЫЕ СХЕМЫ

Вольт-амперная характеристика МОП-транзистора [1, 2] при условии $U_{си} < U_{син}$ аппроксимируется выражением:

$$I_c = 2k \left[(U_{зи} - U_o)U_{си} - \frac{1}{2}U_{си}^2 \right], \quad k = \frac{1}{2} \mu C_o \frac{W}{L},$$

где k – коэффициент проводимости, μ – приповерхностная подвижность носителей заряда, C_o – удельная ёмкость диэлектрика. При $U_{си} \ll U_{зи} - U_o$ выражение принимает вид:

$$I_c = 2k(U_{зи} - U_o)U_{си},$$

где коэффициент при $U_{си}$ является проводимостью канала сток-исток:

$$g_m = 2k(U_{зи} - U_o).$$

При этом с точки зрения эквивалентной схемы МОП-транзистор (без учёта подложки) представляет включённую между стоком и истоком управляемую проводимость g_m , прямо пропорциональную напряжению $U_{зи}$ (рис. 2, а). Ёмкости $C_{зс}$ и $C_{зи}$ – это ёмкости перекрытий затвора относительно стока и истока.

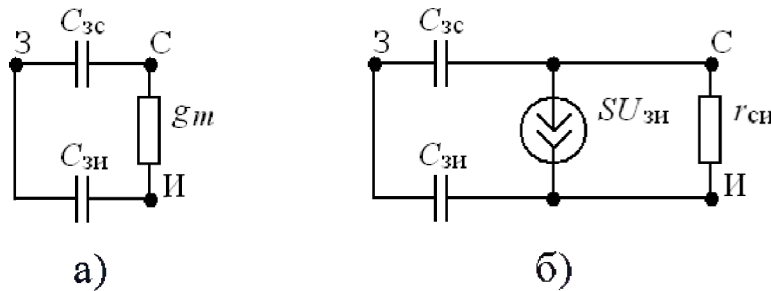


Рис. 2. Эквивалентные схемы МОП-транзистора

Если же $U_{си} > U_{син}$, то ток стока остаётся близким тому значению, которое имеет при $U_{си} = U_{син}$. Поэтому вольт-амперную характеристику МОП-транзистора в насыщении можно записать как:

$$I_c = k(U_{зи} - U_o)^2.$$

Малосигнальными параметрами в насыщении являются:

– крутизна $S = \left. \frac{dI_c}{dU_{зи}} \right|_{U_{си} = \text{const}} ;$

– внутреннее сопротивление $r_{си} = \left. \frac{dU_{си}}{dI_c} \right|_{U_{зи}=\text{const}}$;

– коэффициент усиления $Sr_{си} = \left. \frac{dU_{си}}{dU_{зи}} \right|_{I_c=\text{const}}$.

Крутизна имеет выражение:

$$S = 2k(U_{зи} - U_0) = 2\sqrt{kI_c} .$$

Малосигнальная эквивалентная схема МОП-транзистора в насыщении (без учёта подложки) показана на рис. 2, б.

Пример статических вольт-амперных характеристик МОП-транзистора с индуцированным каналом *n*-типа показан на рис. 3 (рис. 3, а – передаточные, рис. 3, б – выходные) [1, 2]. Условные обозначения МОП-транзисторов с индуцированными каналами *n*-типа и *p*-типа показаны на рис. 4, а и рис. 4, б соответственно.

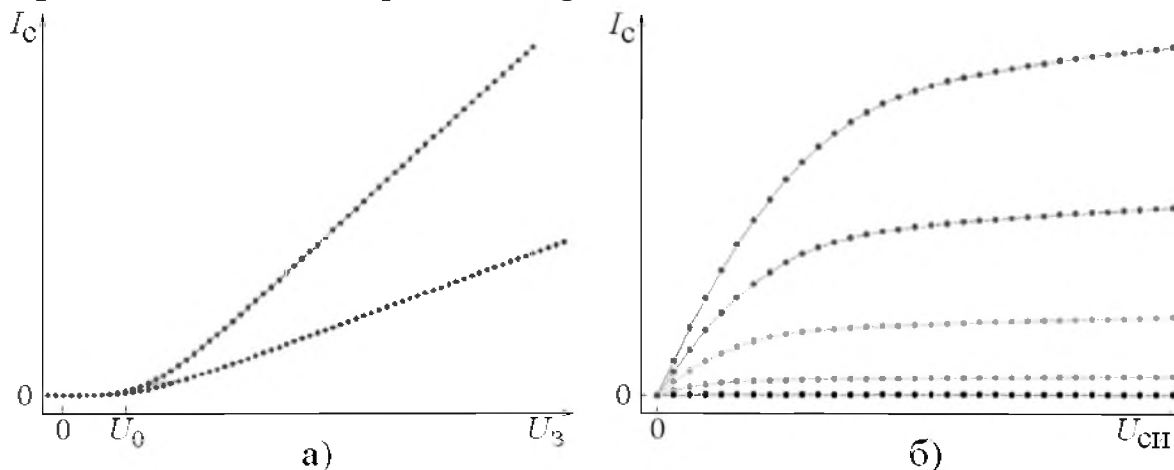


Рис. 3. Вольт-амперные характеристики МОП-транзистора с индуцированным каналом *n*-типа

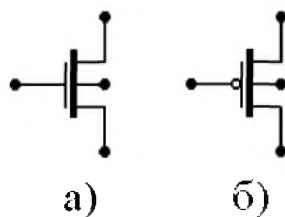


Рис. 4. Условные обозначения МОП-транзисторов с индуцированными каналами *n*-типа (а) и *p*-типа (б)

1.3. ВОПРОСЫ ДЛЯ САМОПРОВЕРКИ

1. Нарисуйте структуру МОП-транзистора. Обозначьте напряжения сток-исток и затвор-исток. Изобразите канал.
2. Какими носителями заряда обусловлен ток в структуре МОП-транзистора? Если МОП-транзистор имеет индуцированный канал n -типа, то какие носители заряда являются рабочими для такой структуры? Какова полярность напряжений сток-исток и затвор-исток?
3. Если затвор МОП-транзистора соединён с истоком, то чем определяется ток стока? Что такое индуцированный канал? Если МОП-транзистор имеет индуцированный канал n -типа и напряжение затвор-исток отрицательное, то как работает транзистор?
4. При каких напряжениях на электродах в МОП-транзисторе с индуцированным каналом n -типа (p -типа) образуется канал? Что такое пороговое напряжение отпираания МОП-транзистора? Какую полярность оно имеет для транзистора с индуцированным каналом n -типа (p -типа)?
5. Если сток МОП-транзистора соединён с истоком, то образуется ли канал? Что является длиной, а что шириной канала МОП-транзистора?
6. Если МОП-транзистор имеет индуцированный канал n -типа и напряжение сток-исток положительное, то какие характерные особенности имеет канал? Какой зависимостью определяется ток стока? Какой эквивалентной схемой может быть замещён транзистор?
7. Что происходит, когда МОП-транзистор входит в насыщение? Какой зависимостью определяется ток стока? Какой эквивалентной схемой может быть замещён транзистор?
8. Нарисуйте вид статических вольт-амперных характеристик МОП-транзистора с каналом n -типа (p -типа).
9. Объясните малосигнальные параметры МОП-транзистора.
10. Как называются схемы, в которых используется сочетание МОП-транзисторов с каналами n - и p -типа?

2. КОМБИНАЦИОННЫЕ ЦИФРОВЫЕ СХЕМЫ

2.1. КОМПЛЕМЕНТАРНЫЙ ИНВЕРТОР

Рассмотрим схему комплементарного инвертора [2] с ёмкостной нагрузкой C_n , показанную на рис. 5, а. Схема имеет однополярное положительное питание $E_{\text{пит}}$, входное напряжение обозначено $U_{\text{вх}}$, а выходное – $U_{\text{вых}}$. Условное обозначение логического элемента приведено на рис. 5, б, где X – вход, а Y – выход.

Передающая характеристика схемы комплементарного инвертора показана на рис. 5, в. На горизонтальных участках характеристики схема работает, как представлено на рис. 6 (где R_p и R_n – сопротивления открытых МОП-транзисторов с каналами p - и n -типа соответственно):

$$U_{\text{вх}} = E_{\text{пит}} = U^1 \Rightarrow U_{\text{зин}} = E_{\text{пит}} > U_{\text{он}}, U_{\text{зип}} = 0 > U_{\text{оп}} \Rightarrow U_{\text{вых}} = 0 = U^0;$$

$$U_{\text{вх}} = 0 = U^0 \Rightarrow U_{\text{зин}} = 0 < U_{\text{он}}, U_{\text{зип}} = -E_{\text{пит}} < U_{\text{оп}} \Rightarrow U_{\text{вых}} = E_{\text{пит}} = U^1.$$

На наклонном участке передаточной характеристики рис. 5, в вблизи порогового напряжения переключения $U_{\text{п}}$ оба МОП-транзистора находятся в насыщении:

$$I_{\text{сн}} = k_n (U_{\text{п}} - U_{\text{он}})^2; I_{\text{сп}} = k_p (E_{\text{пит}} - U_{\text{п}} + U_{\text{оп}})^2;$$

$$I_{\text{сн}} = I_{\text{сп}}; U_{\text{п}} = \frac{U_{\text{он}} + \sqrt{k_p/k_n} (E_{\text{пит}} + U_{\text{оп}})}{1 + \sqrt{k_p/k_n}}.$$

Малосигнальная эквивалентная схема по постоянному току на наклонном участке передаточной характеристики вблизи напряжения $U_{\text{п}}$ показана на рис. 5, г. Определим коэффициент усиления:

$$K_U = \frac{U_{\text{вых}}}{U_{\text{вх}}} = -(S_n + S_p) \frac{r_{\text{син}} r_{\text{сп}}}{r_{\text{син}} + r_{\text{сп}}} = \frac{-(S_n + S_p) r_{\text{син}}}{1 + r_{\text{син}} / r_{\text{сп}}},$$

Полагая, что $S_n \cong S_p$ и $r_{\text{син}} \cong r_{\text{сп}}$, получим:

$$K_U \approx -S_n r_{\text{син}}.$$

Оценим запас помехоустойчивости (noise margin) схемы по передаточной характеристике рис. 5, в. Входные напряжения

логического нуля и единицы обозначены $U_{ВХ}^0$ и $U_{ВХ}^1$ соответственно, а выходные $U_{ВЫХ}^0$ и $U_{ВЫХ}^1$. Запас помехоустойчивости по уровням логического нуля NM^0 и логической единицы NM^1 можно выразить следующим образом:

$$NM^0 = U_{ВХ}^0 - U_{ВЫХ}^0 = U_{П} - (E_{ПИТ} - U_{П}) / |K_U| - U_{ВЫХ}^0;$$

$$NM^1 = U_{ВЫХ}^1 - U_{ВХ}^1 = E_{ПИТ} - U_{П} (1 + 1/|K_U|) - U_{ВЫХ}^1 / |K_U|,$$

Логический перепад схемы определяется как:

$$U_{Л} = U_{ВЫХ}^1 - U_{ВЫХ}^0 \approx E_{ПИТ}.$$

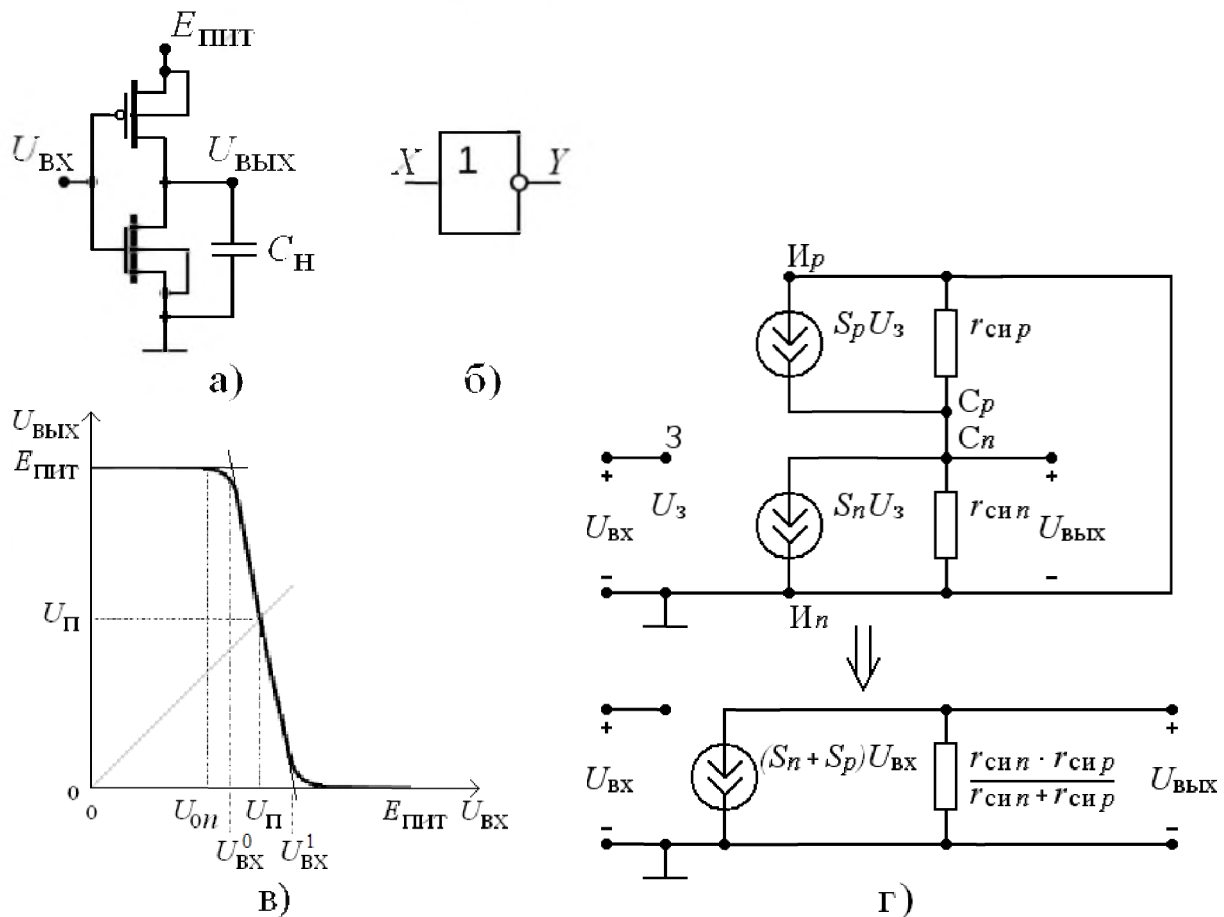


Рис. 5. Комплементарный инвертор

Комплементарный инвертор является простейшей цифровой схемой. Сигналы в схеме во временной области представлены на рис. 7. Уменьшение потребляемой мощности, обусловленной сквозным током $I_{СКВ}$ через оба транзистора при переключениях схемы, возможно за счёт снижения напряжения питания до величин

$E_{\text{пит}} < U_{on} - U_{op}$, тогда в один момент времени транзисторы с каналами p - и n -типа не смогут оказаться в открытом состоянии.

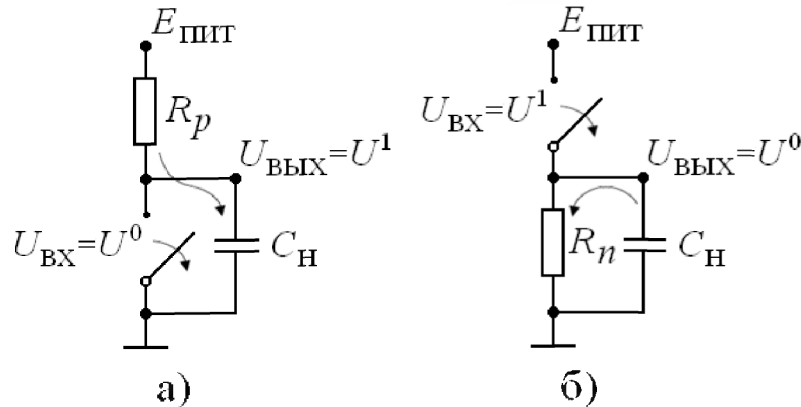


Рис. 6. Разряд и заряд нагрузочной ёмкости комплементарного инвертора

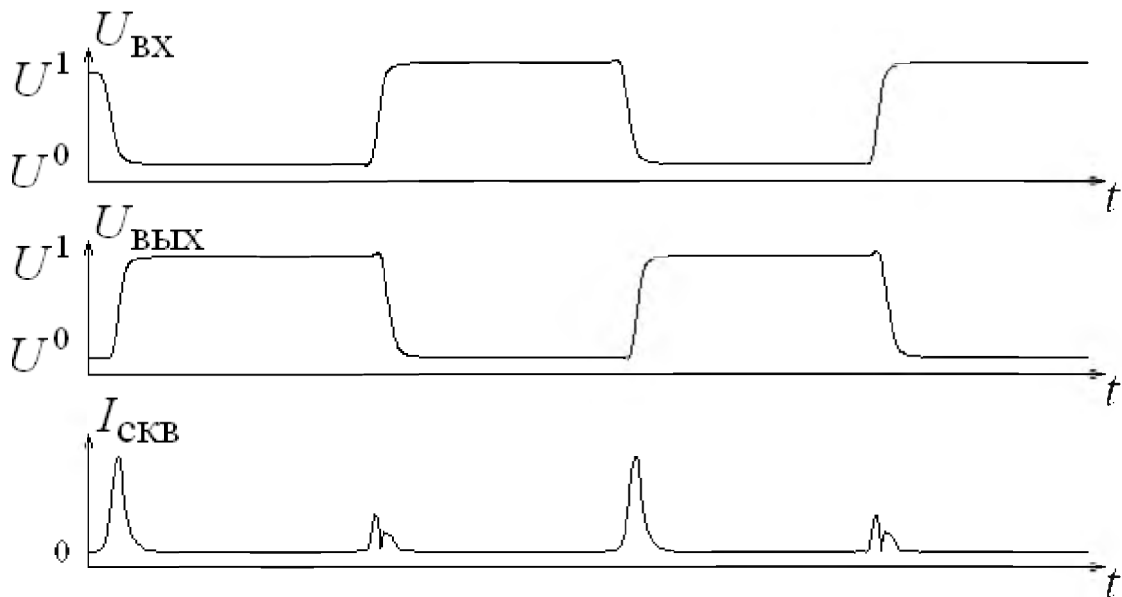


Рис. 7. Временная диаграмма работы комплементарного инвертора

Два варианта топологии комплементарного инвертора показаны на рис. 8. Как правило, при одинаковой длине затвора ширина затвора МОП-транзистора с индуцированным каналом p -типа больше ширины затвора МОП-транзистора с индуцированным каналом n -типа, поэтому размещение транзисторов согласно рис. 8, *a* не обеспечивает компактность топологии и требует на кристалле избыточной площади. При этом часть площади кристалла (правый нижний угол топологии) оказывается не занятой никакими элементами. Таким образом, использование топологии рис. 8, *a* не представляется разумным.

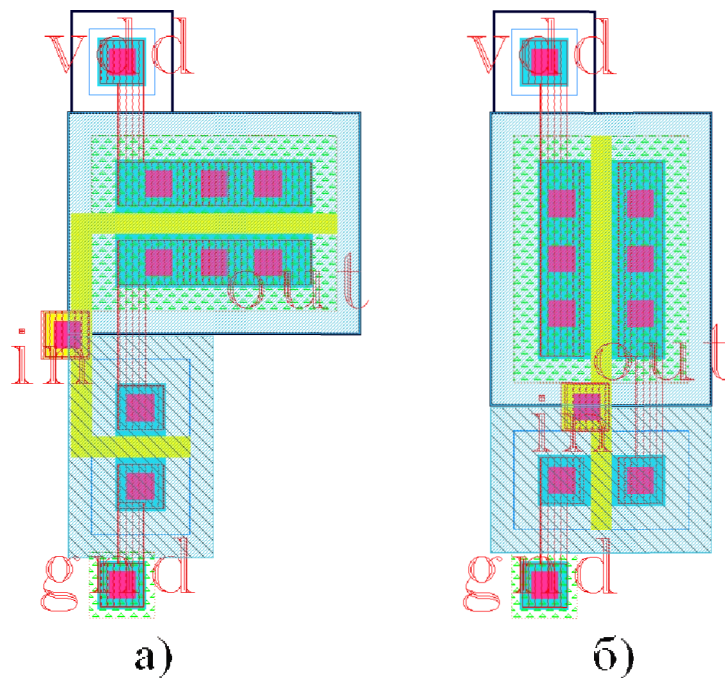


Рис. 8. Топологии комплементарного инвертора

В большинстве случаев применяют топологию комплементарного инвертора, представленную на рис. 8, б). Затворы транзисторов выполняются с помощью слоя поликремния, который и используют для соединения затворов МОП-транзистора с индуцированным каналом p -типа и МОП-транзистора с индуцированным каналом n -типа. Для подключения инвертора к другим элементам схемы чаще всего переходят на первый слой металла, поэтому входным узлом «in» является переходной контакт между слоем поликремния и первым слоем металла. Стоки и истоки транзисторов имеют выводы на первый слой металла, поэтому выходным узлом «out» является соединение первым слоем металла стоков МОП-транзистора с индуцированным каналом p -типа и МОП-транзистора с индуцированным каналом n -типа. Исток МОП-транзистора с индуцированным каналом p -типа подключается первым слоем металла к шине питания $E_{\text{пит}}$, которая на рис. 8 обозначена «vdd» и представлена контактом на подложку области n -типа, в которой расположен МОП-транзистор с индуцированным каналом p -типа. Исток МОП-транзистора с каналом n -типа подключается первым слоем металла к земляному узлу, который на рис. 8 обозначен «gnd» и представлен контактом на подложку области p -типа.

2.2. ЛОГИЧЕСКИЕ ФУНКЦИИ И АЛГЕБРА ЛОГИКИ

У комбинационных цифровых схем [2–10] состояние выхода однозначно определяется набором входных сигналов. Комплементарный инвертор выполняет простейшую бинарную логическую операцию – отрицание, являясь схемной реализацией элемента с логической функцией «НЕ» $Y = \overline{X}$, где X – входная, а Y – выходная логические переменные (рис. 5, б), принимающие значения из множества $\{0,1\}$. Таблица истинности представлена в табл. 1.

Таблица 1

Таблица истинности логической функции «НЕ»

X	$Y = \overline{X}$
0	1
1	0

Распространёнными логическими функциями являются:

«И» – конъюнкция

$$Y = X_1 \wedge X_2 = X_1 \cdot X_2;$$

«И-НЕ» – отрицание конъюнкции, штрих Шеффера

$$Y = \overline{X_1 \wedge X_2} = \overline{X_1 \cdot X_2};$$

«ИЛИ» – дизъюнкция

$$Y = X_1 \vee X_2 = X_1 + X_2;$$

«ИЛИ-НЕ» – отрицание дизъюнкции, стрелка Пирса

$$Y = \overline{X_1 \vee X_2} = \overline{X_1 + X_2};$$

«исключающее ИЛИ»

$$Y = X_1 \oplus X_2;$$

«И-ИЛИ-НЕ»

$$Y = \overline{X_1 \cdot X_2 + X_3 \cdot X_4};$$

«ИЛИ-И-НЕ»

$$Y = \overline{(X_1 + X_2) \cdot (X_3 + X_4)};$$

мультиплексирование

$$Y = X_1 \cdot X_2 + \overline{X_1} \cdot X_3.$$

Каждая из указанных функций может быть распространена на

большее число логических переменных. Таблицы истинности представлены в табл. 2, 3 и 4. Система логических функций является функционально полной, если с помощью суперпозиции входящих в неё функций возможно получить любую логическую функцию.

Известны пять функционально полных систем:

- 1) «НЕ», «И», «ИЛИ»;
- 2) «НЕ», «И»;
- 3) «НЕ», «ИЛИ»;
- 4) «И-НЕ»;
- 5) «ИЛИ-НЕ».

Каждая из указанных систем может быть реализована на основе логических элементов. Недостающие в этих системах логические функции можно получить на основе известных аксиом (тождеств) и правил (законов) алгебры логики:

- 1) $\overline{\overline{X}} = X$;
- 2) $X \cdot X = X$, $X + X = X$, $X \oplus X = 0$;
- 3) $X \cdot \overline{X} = 0$, $X + \overline{X} = 1$, $X \oplus \overline{X} = 1$;
- 4) $X \cdot 0 = 0$, $X + 0 = X$, $X \oplus 0 = X$;
- 5) $X \cdot 1 = X$, $X + 1 = 1$, $X \oplus 1 = \overline{X}$;
- 6) $X_1 \cdot X_2 = X_2 \cdot X_1$, $X_1 + X_2 = X_2 + X_1$, $X_1 \oplus X_2 = X_2 \oplus X_1$;
- 7) $X_1 \cdot (X_2 \cdot X_3) = (X_1 \cdot X_2) \cdot X_3$,
 $X_1 + (X_2 + X_3) = (X_1 + X_2) + X_3$,
 $X_1 \oplus (X_2 \oplus X_3) = (X_1 \oplus X_2) \oplus X_3$;
- 8) $X_1 \cdot (X_2 + X_3) = X_1 \cdot X_2 + X_1 \cdot X_3$,
 $X_1 + (X_2 \cdot X_3) = (X_1 + X_2) \cdot (X_1 + X_3)$,
 $X_1 \cdot (X_2 \oplus X_3) = (X_1 \oplus X_2) \cdot (X_1 \oplus X_3)$;
- 9) $\overline{X_1 \cdot X_2} = \overline{X_1} + \overline{X_2}$, $\overline{X_1 + X_2} = \overline{X_1} \cdot \overline{X_2}$,
 $\overline{X_1 \oplus X_2} = X_1 \oplus \overline{X_2} = \overline{X_1} \oplus X_2$;
- 10) $X_1 \cdot X_2 + X_1 \cdot \overline{X_2} = X_1$, $(X_1 + X_2) \cdot (X_1 + \overline{X_2}) = X_1$;
- 11) $X_1 \cdot (X_1 + X_2) = X_1$, $X_1 + (X_1 \cdot X_2) = X_1$;
- 12) $X_1 \oplus X_2 = X_1 \cdot \overline{X_2} + \overline{X_1} \cdot X_2 = (X_1 + X_2) \cdot (\overline{X_1} + \overline{X_2})$.

Таблица 2

Таблицы истинности логических функций «И», «И-НЕ», «ИЛИ», «ИЛИ-НЕ», «исключающее ИЛИ» и «исключающее ИЛИ-НЕ»

X_1	X_2	$Y =$					
		$X_1 \cdot X_2$	$\overline{X_1 \cdot X_2}$	$X_1 + X_2$	$\overline{X_1 + X_2}$	$X_1 \oplus X_2$	$\overline{X_1 \oplus X_2}$
0	0	0	1	0	1	0	1
0	1	0	1	1	0	1	0
1	0	0	1	1	0	1	0
1	1	1	0	1	0	0	1

Таблица 3

Таблица истинности логических функций «И-ИЛИ-НЕ» и «ИЛИ-И-НЕ»

X_1	X_2	X_3	X_4	$Y = \overline{X_1 \cdot X_2} + X_3 \cdot X_4$	$Y = (X_1 + X_2) \cdot (X_3 + X_4)$
0	0	0	0	1	1
0	0	0	1	1	1
0	0	1	0	1	1
0	0	1	1	0	1
0	1	0	0	1	1
0	1	0	1	1	0
0	1	1	0	1	0
0	1	1	1	0	0
1	0	0	0	1	1
1	0	0	1	1	0
1	0	1	0	1	0
1	0	1	1	0	0
1	1	0	0	0	1
1	1	0	1	0	0
1	1	1	0	0	0
1	1	1	1	0	0

Таблица истинности логической функции мультиплексора

X_1	X_2	X_3	$Y = X_1 \cdot X_2 + \overline{X_1} \cdot X_3$	$\overline{Y} = \overline{X_1 \cdot X_2 + \overline{X_1} \cdot X_3}$
0	0	0	0	1
0	0	1	1	0
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	0	1
1	1	0	1	0
1	1	1	1	0

2.3. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ «И-НЕ» И «ИЛИ-НЕ»

Схемы логических элементов «И-НЕ» и «ИЛИ-НЕ» [1, 2, 8, 10] на комплементарных транзисторах показаны на рис. 9, а и рис. 9, б, а условные обозначения – на рис. 9, в и рис. 9, г соответственно. Здесь и в остальных схемах выводы подложки не показаны, подразумевается, что все подложки МОП-транзисторов с индуцированным каналом n -типа соединены с земляным узлом, а подложки МОП-транзисторов с индуцированным каналом p -типа соединены с узлом $E_{пит}$.

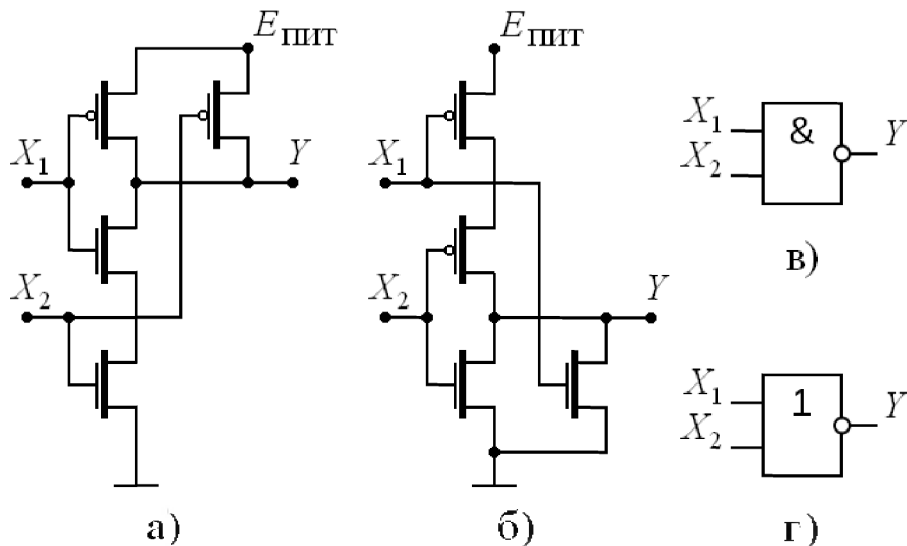


Рис. 9. Элементы «И-НЕ» и «ИЛИ-НЕ»

По принципу действия данные схемы аналогичны комплементарному инвертору (рис. 5, *a*). Отличительной особенностью схем рис. 9 является наличие параллельных и последовательных соединений транзисторов. Причём параллельное соединение одного типа транзисторов используется совместно с последовательным соединением транзисторов другого типа. Вид сигналов в схемах «И-НЕ» и «ИЛИ-НЕ» во временной области представлен на рис. 10.

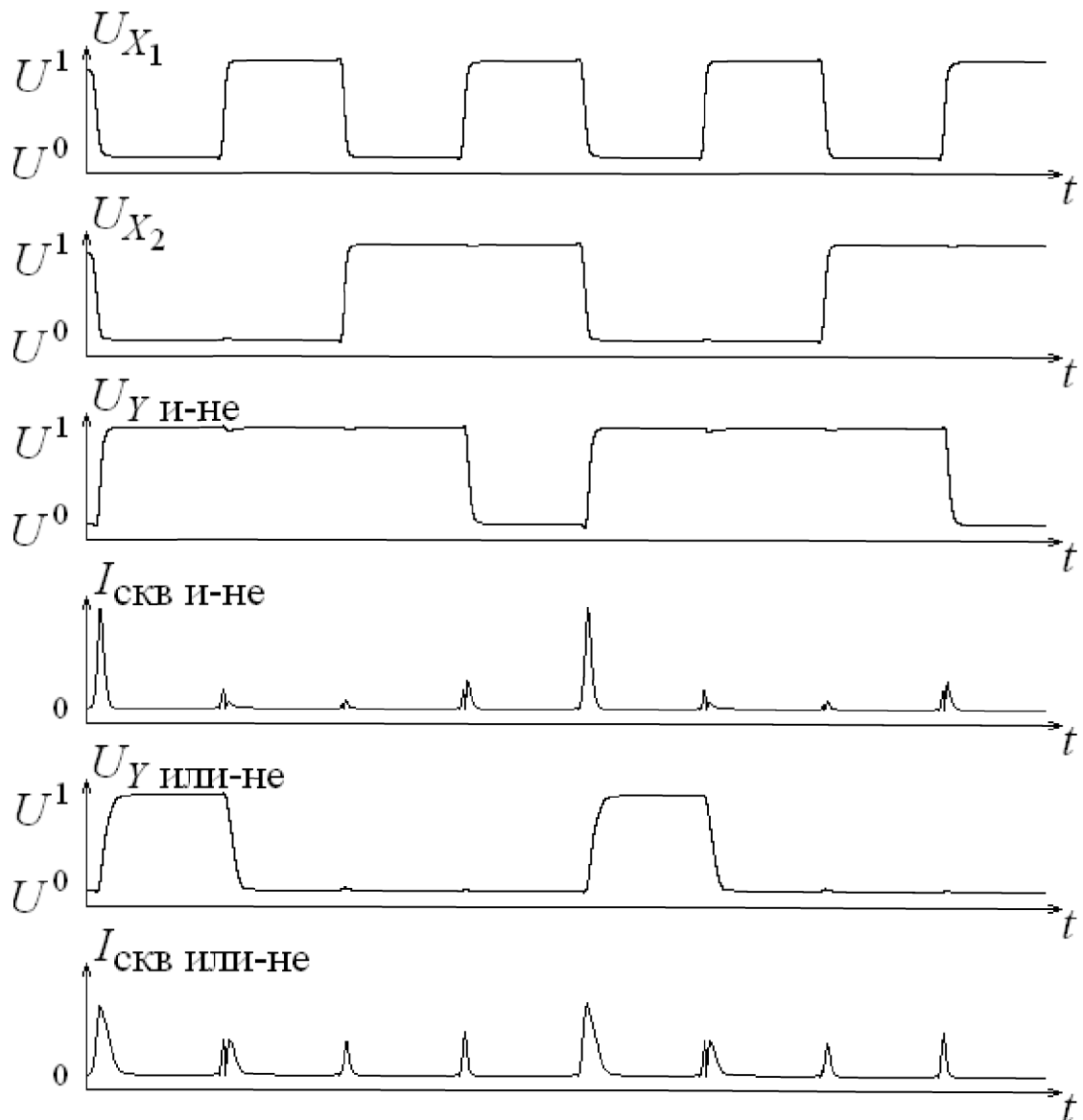


Рис. 10. Временные диаграммы работы элементов «И-НЕ» и «ИЛИ-НЕ»

В схеме логического элемента «И-НЕ» (рис. 9, *a*) транзисторы с каналом *n*-типа включены последовательно, а транзисторы с каналом

p-типа – параллельно. Пусть хотя бы на один из входов схемы подано напряжение логического нуля $U_{\text{вх}} = U^0 < U_{\text{он}}$, тогда хотя бы один из транзисторов с каналом *n*-типа закрыт, и ток через последовательное соединение этих транзисторов определяется лишь утечкой. При этом, поскольку $U^0 - E_{\text{пнт}} < U_{\text{оп}}$, то хотя бы один из транзисторов с каналом *p*-типа открыт и пропускает ток заряда ёмкости нагрузки, и $U_{\text{вых}} \cong E_{\text{пнт}} = U^1$. Только в том случае если одновременно на оба входа подано напряжение логической единицы $U_{\text{вх}} = U^1 > U_{\text{он}}$, тогда оба транзистора с каналом *n*-типа открыты, и через последовательное соединение этих транзисторов протекает ток разряда ёмкости нагрузки $U_{\text{вых}} \cong 0 = U^0$. При этом, поскольку $U^1 - E_{\text{пнт}} > U_{\text{оп}}$, то оба транзистора с каналом *p*-типа закрыты, и ток через них определяется лишь утечкой. Такая работа схемы рис. 9, а соответствует таблице истинности логической функции «И-НЕ», представленной в табл. 2.

В схеме логического элемента «ИЛИ-НЕ» (рис. 9, б) транзисторы с каналом *n*-типа включены параллельно, а транзисторы с каналом *p*-типа – последовательно. Пусть хотя бы на один из входов схемы подано напряжение логической единицы $U_{\text{вх}} = U^1 > U_{\text{он}}$, тогда хотя бы один из транзисторов с каналом *n*-типа открыт и пропускает ток разряда ёмкости нагрузки $U_{\text{вых}} \cong 0 = U^0$. При этом, поскольку $U^1 - E_{\text{пнт}} > U_{\text{оп}}$, то хотя бы один из транзисторов с каналом *p*-типа закрыт, и ток через последовательное соединение этих транзисторов определяется лишь утечкой. Только в том случае если одновременно на оба входа подано напряжение логического нуля $U_{\text{вх}} = U^0 < U_{\text{он}}$, тогда оба транзистора с каналом *n*-типа закрыты, и ток через них определяется лишь утечкой. При этом, поскольку $U^0 - E_{\text{пнт}} < U_{\text{оп}}$, то оба транзистора с каналом *p*-типа открыты, и через последовательное соединение этих транзисторов протекает ток

заряда ёмкости нагрузки $U_{\text{вых}} \cong E_{\text{пит}} = U^1$. Такая работа схемы рис. 9, б соответствует таблице истинности логической функции «ИЛИ-НЕ», представленной в табл. 2.

Топологии элементов «И-НЕ» рис. 9, а и «ИЛИ-НЕ» рис. 9, б показаны на рис. 11, а и рис. 11, б, соответственно. Затворы МОП-транзисторов соединены с помощью слоя поликремния. Для подключения к другим элементам схемы входными узлами «in1» и «in2» являются переходные контакты между слоем поликремния и первым слоем металла. Соединения стоков МОП-транзисторов с индуцированным каналом *p*-типа в элементе «И-НЕ» и стоков МОП-транзисторов с индуцированным каналом *n*-типа в элементе «ИЛИ-НЕ» выполнены вторым слоем металла. Выходным узлом «out» является соединение первым слоем металла стоков МОП-транзисторов с индуцированными каналами *p*-типа и *n*-типа. Первым слоем металла выполнено подключение к шине питания $E_{\text{пит}}$, обозначенной «vdd» и представленной контактом на подложку области *n*-типа, в которой расположены МОП-транзисторы с индуцированным каналом *p*-типа. Первым слоем металла выполнено подключение к земляному узлу, обозначенному «gnd» и представленному контактом на подложку области *p*-типа.

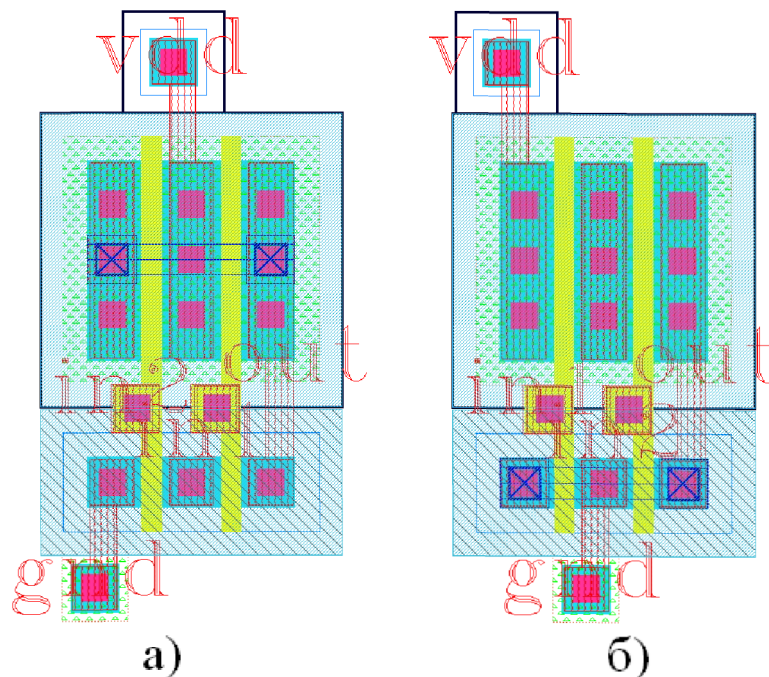


Рис. 11. Топологии «И-НЕ» и «ИЛИ-НЕ»

При необходимости использования логических элементов «И-НЕ» и «ИЛИ-НЕ» с большим числом входов в схемы рис. 9 как в параллельное, так и в последовательное соединение включаются дополнительные транзисторы. Число транзисторов с каналом n -типа равно числу транзисторов с каналом p -типа и равно числу входов. В рамках такого подхода возможно получить логические элементы «И-НЕ» и «ИЛИ-НЕ» с числом входов не более четырёх. Схемы логических элементов «И-НЕ» и «ИЛИ-НЕ» с четырьмя входами показаны на рис. 12, а и рис. 12, б соответственно.

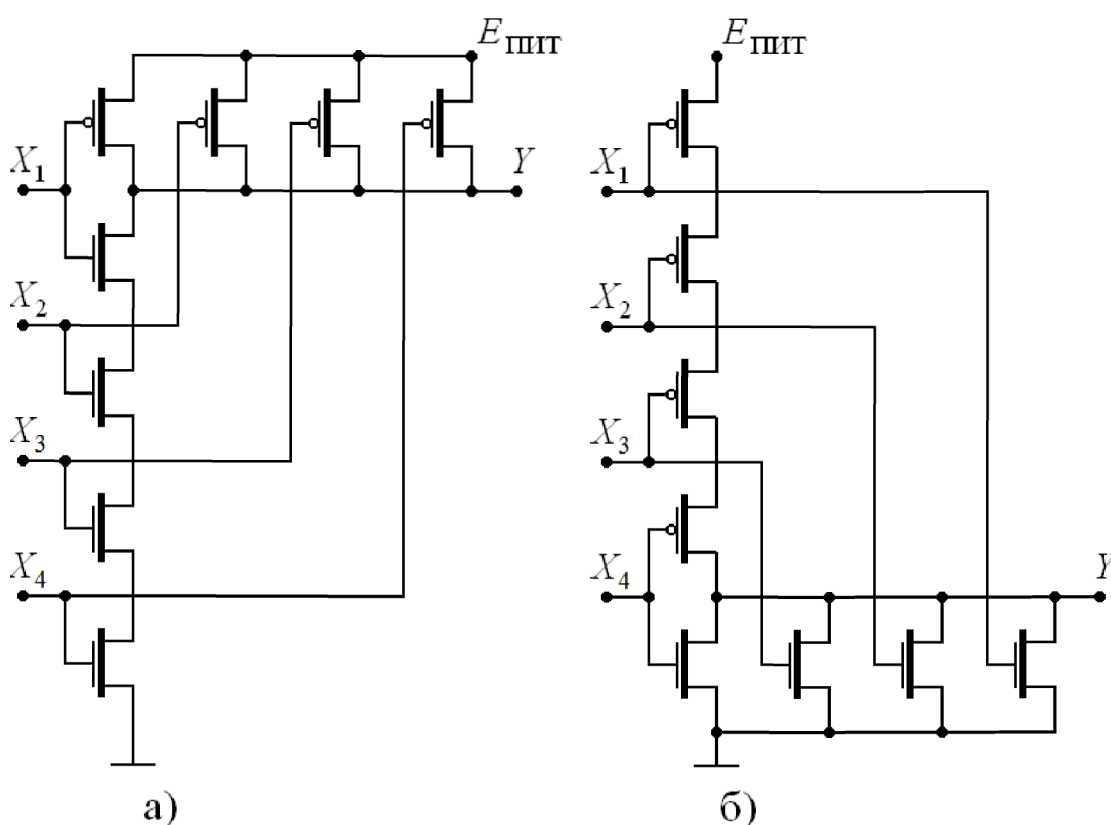


Рис. 12. Элементы «И-НЕ» и «ИЛИ-НЕ» с четырьмя входами

2.4. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ «И-ИЛИ-НЕ» И «ИЛИ-И-НЕ»

Схема логического элемента «И-ИЛИ-НЕ» на комплементарных транзисторах [2, 8, 10] показана на рис. 13, а, а условное обозначение – на рис. 13, б. Как и в случае схем на рис. 9, в данном случае используются параллельные и последовательные соединения

транзисторов. Причём при одноименных входных сигналах параллельное соединение одного типа транзисторов используется совместно с последовательным соединением транзисторов другого типа.

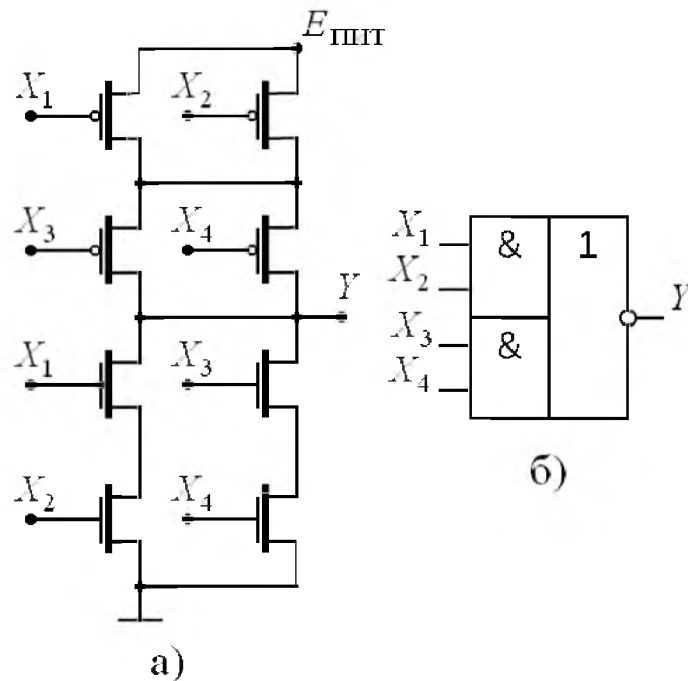


Рис. 13. Элемент «И-ИЛИ-НЕ»

Пусть одновременно хотя бы на один из входов X_1 либо X_2 и один из входов X_3 либо X_4 схемы рис. 13, а подано напряжение логического нуля $U_{вх} = U^0 < U_{он}$, тогда транзисторы с каналом n -типа, на затворы которых поступают напряжения логического нуля, закрыты, и ток через обе цепи последовательных соединений транзисторов с каналом n -типа определяется лишь утечкой. При этом, поскольку $U^0 - E_{ПНТ} < U_{ор}$, то в каждом из параллельных соединений транзисторов с каналом p -типа открыт, по крайней мере, один из транзисторов, и через последовательное соединение открытых транзисторов с каналом p -типа протекает ток заряда ёмкости нагрузки, и $U_{вых} \cong E_{ПНТ} = U^1$. Только в том случае если хотя бы на одну из пар входов либо X_1 и X_2 , либо X_3 и X_4 одновременно подано напряжение логической единицы $U_{вх} = U^1 > U_{он}$, тогда хотя

бы одно из последовательных соединений транзисторов с каналом n -типа открыто и пропускает ток разряда ёмкости нагрузки $U_{\text{вых}} \cong 0 = U^0$. При этом, поскольку $U^1 - E_{\text{пит}} > U_{op}$, то хотя бы в одном из параллельных соединений транзисторов с каналом p -типа закрыты сразу оба транзистора и ток через них определяется лишь утечкой. Такая работа схемы рис. 13, *a* соответствует таблице истинности логической функции «И-ИЛИ-НЕ», представленной в табл. 3. Вид сигналов схемы «И-ИЛИ-НЕ» во временной области представлен на рис. 14.

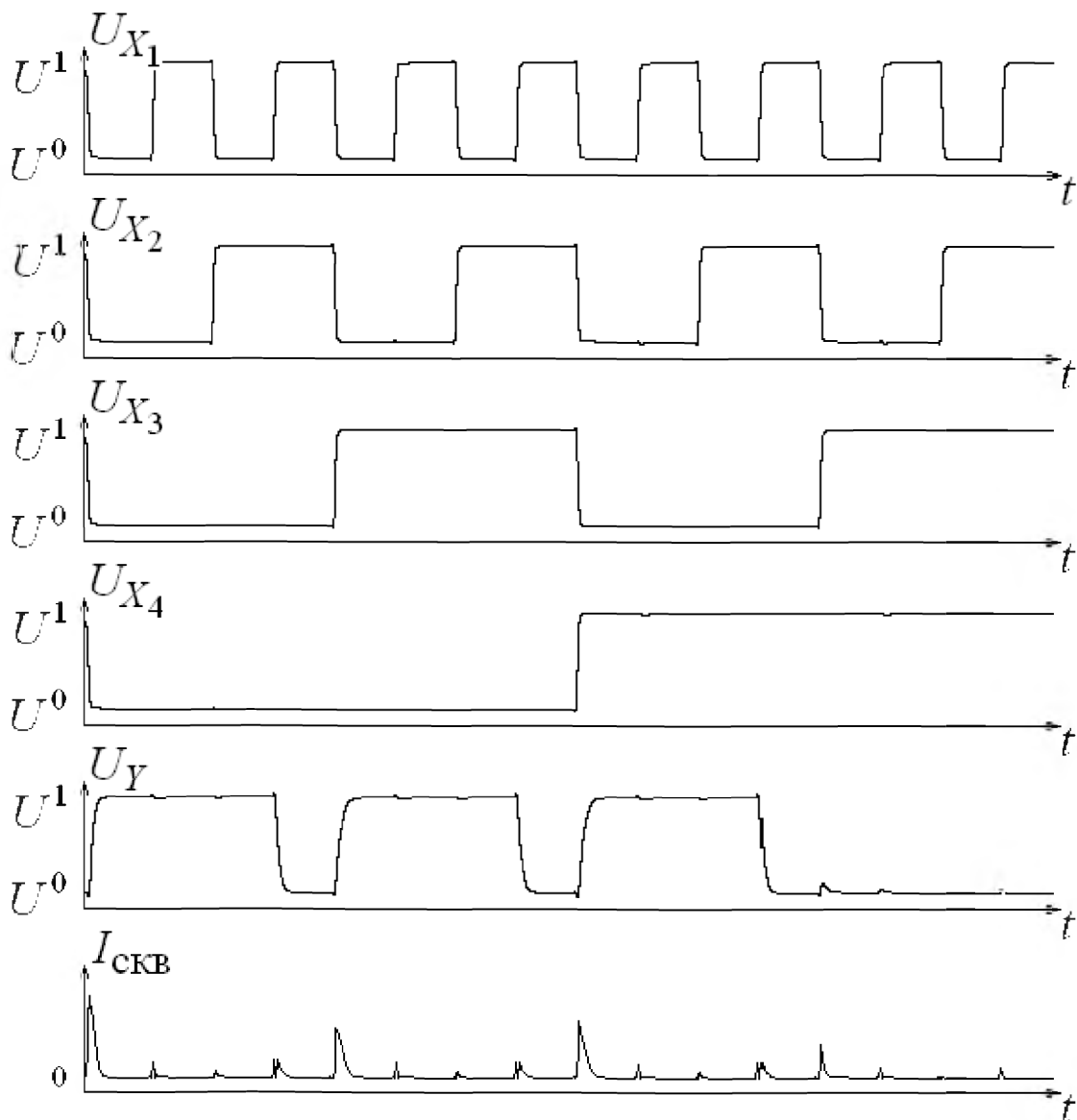


Рис. 14. Временные диаграммы работы элемента «И-ИЛИ-НЕ»

Схема логического элемента «ИЛИ-И-НЕ» на комплементарных транзисторах [2, 8, 10] показана на рис. 15, а, а условное обозначение – на рис. 15, б. В схеме используются параллельные и последовательные соединения транзисторов. Причём параллельное соединение одного типа транзисторов используется совместно с последовательным соединением транзисторов другого типа при одноименных входных сигналах. Вид сигналов схемы «ИЛИ-И-НЕ» во временной области представлен на рис. 16.

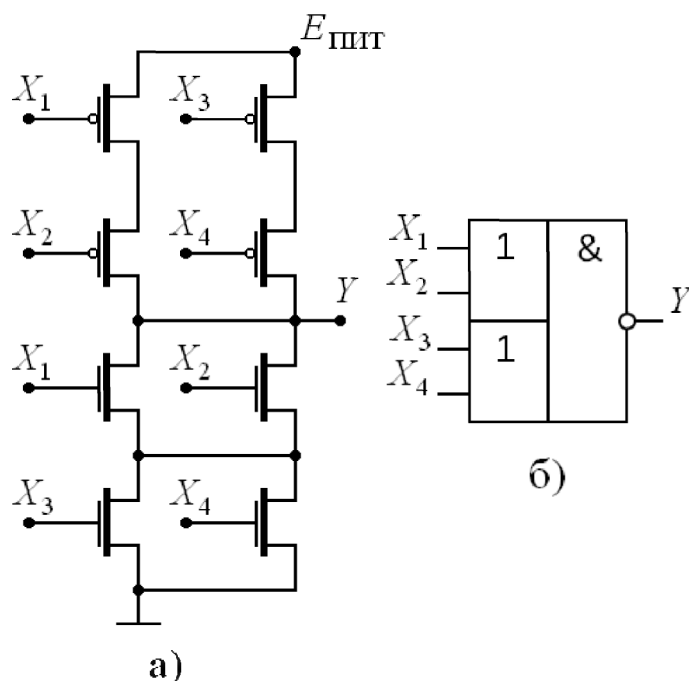


Рис. 15. Элемент «ИЛИ-И-НЕ»

2.5. МУЛЬТИПЛЕКСОРЫ

Анализ материалов публикаций позволяет утверждать, что за рубежом проявляется интерес к схемам, получившим название «pass-transistor logic» [2, 4]. Главное отличие данных схем от рассмотренных в предыдущих пунктах заключается в том, что входные сигналы подаются не только на затворы, но и на стоки или истоки транзисторов. Такие цепи можно назвать логическими схемами на проходных транзисторах, или на транзисторах с дополнительным управлением по стоку или истоку.

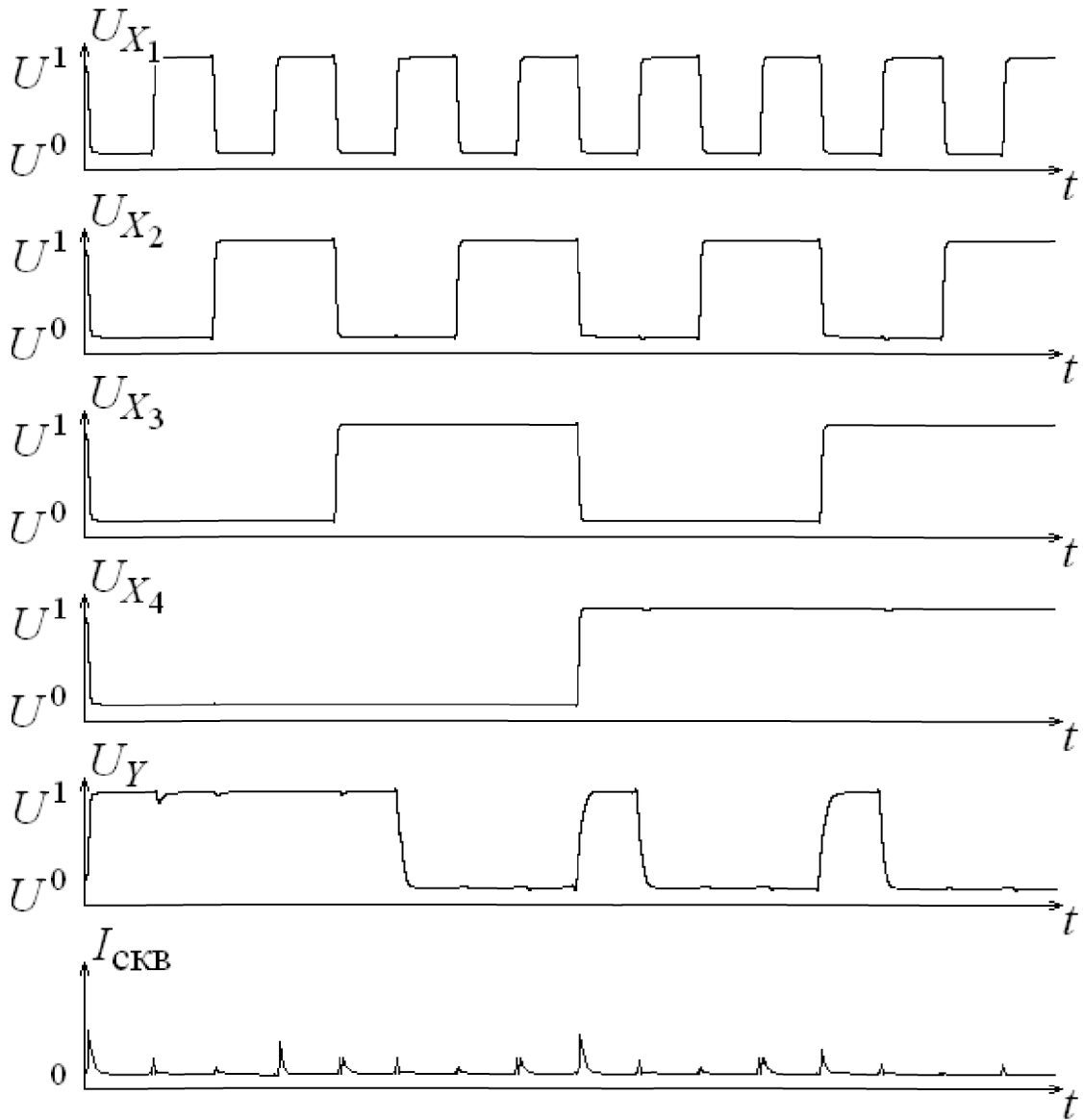


Рис. 16. Временные диаграммы работы элемента «ИЛИ-И-НЕ»

На рис. 17 представлены схемные решения двухвходового мультиплексора. Схема с управлением только по затвору показана на рис. 17, а, а с дополнительным управлением по стоку или истоку – на рис. 17, б и рис. 17, в. Мультиплексор имеет адресный вход X_1 (используются как прямые X_1 , так и инверсные сигналы адреса $\overline{X_1}$), входы данных, обозначенные X_2 и X_3 , выход Y либо \overline{Y} .

В схемах с дополнительным управлением по стоку или истоку (рис. 17, б и рис. 17, в) адресные сигналы подаются на затворы транзисторов, а входами данных служат стоки или истоки транзисторов. При воздействии напряжением логической единицы U^1

на вход X_1 на выходе Y формируется логическое состояние, соответствующее X_2 , а на выходе \bar{Y} – соответственно инвертированное \bar{X}_2 . При воздействии напряжением логического нуля на вход X_1 на выходе Y формируется логическое состояние, соответствующее X_3 , а на выходе \bar{Y} – будет \bar{X}_3 .

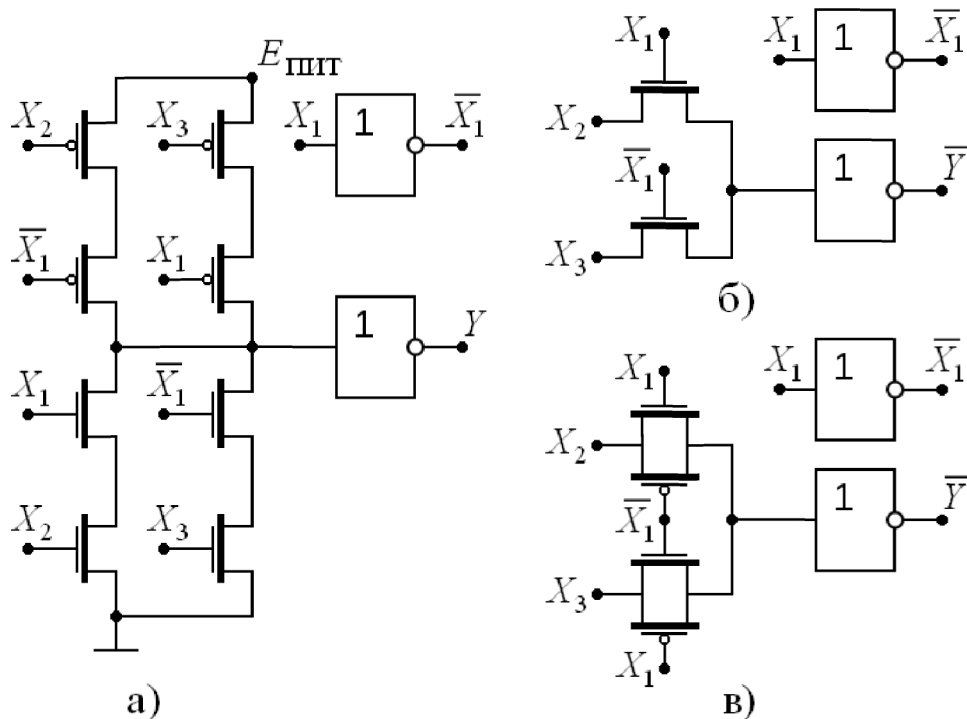


Рис. 17. Двухвходовые мультиплексоры

Вид сигналов в схемах рис. 17 во временной области представлен на рис. 18. Исходя из рис. 17, очевидным преимуществом схем двухвходового мультиплексора на транзисторах с дополнительным управлением по стоку или истоку (рис. 17, б и рис. 17, в) по сравнению со схемой с управлением только по затвору (рис. 17, а) является меньшее число транзисторов. Данное обстоятельство позволяет добиться экономии площади, занимаемой схемой, за счёт компактного расположения транзисторов и уменьшения длины соединительных проводников в слоях металлов.

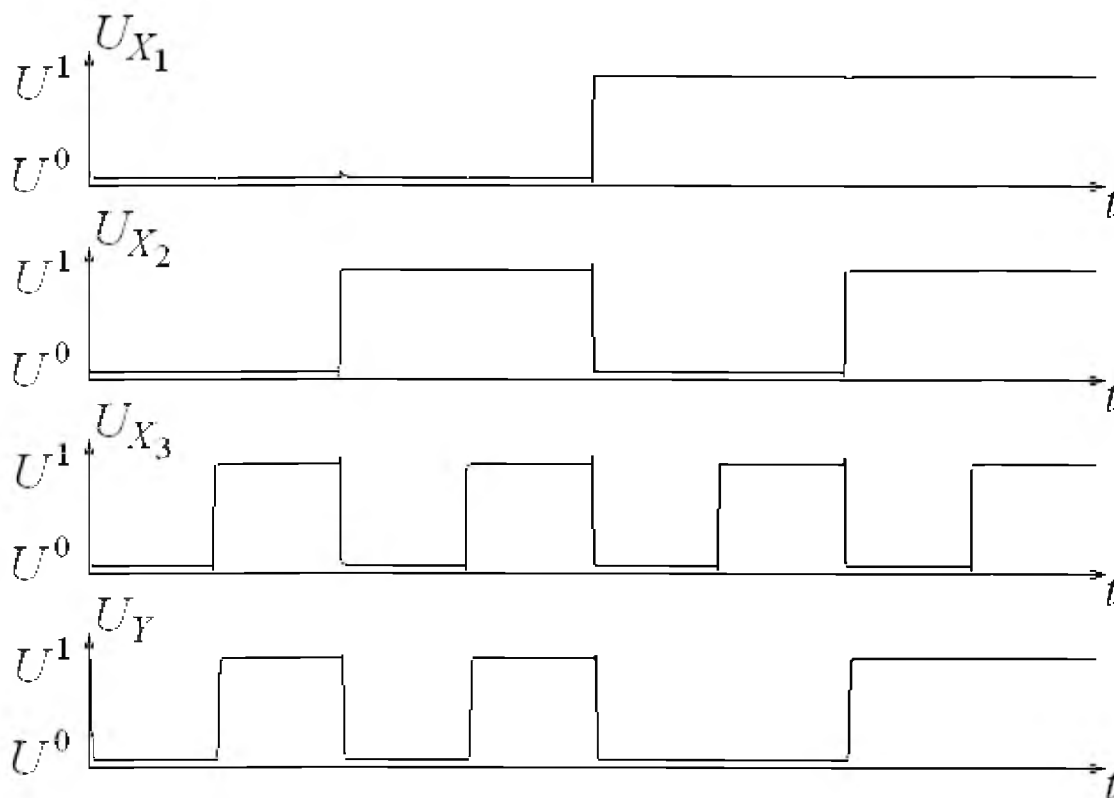


Рис. 18. Временные диаграммы работы мультиплексора

2.6. ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ «ИСКЛЮЧАЮЩЕЕ ИЛИ» И «ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ»

При синтезе цифровых устройств на основе схем на транзисторах с управлением только по затвору в качестве базисных логических элементов используют реализации функции «И-НЕ» и «ИЛИ-НЕ», аналогичные рис. 9. Цифровые устройства с применением схем на транзисторах с дополнительным управлением по стоку или истоку ориентированы на логические функции «исключающее ИЛИ» (рис. 19, а) либо «исключающее ИЛИ-НЕ» (рис. 19, б) [2, 4]. Представленные на рис. 19 схемы являются частным случаем мультиплексоров, рассмотренных в предыдущем пункте. Условные обозначения элементов приведены на рис. 19, в и рис. 19, г соответственно, а вид сигналов во временной области на рис. 20.

К недостаткам схем на транзисторах с дополнительным управлением по стоку или истоку можно отнести следующее:

- логический перепад сигнала на входе инверторов (рис. 19)

уменьшен на величину порогового напряжения отпирания вследствие падения напряжения на проходных транзисторах с каналом *n*-типа, представляющих входные цепи: $U_{л} = E_{пит} - U_{он}$. Поэтому на выходе этих схем для обеспечения логического перепада сигнала близкого по величине к напряжению питания необходимо использовать инверторы на комплементарных транзисторах. Кроме того, включение инверторов на выходе элементов позволяет обеспечивать нагрузочную способность по выходу при увеличении ёмкости нагрузки C_n ;

– в схемах используются не только прямые, но и инверсные входные сигналы, наличие которых обеспечивается, например, с помощью дополнительных инверторов на комплементарных транзисторах.

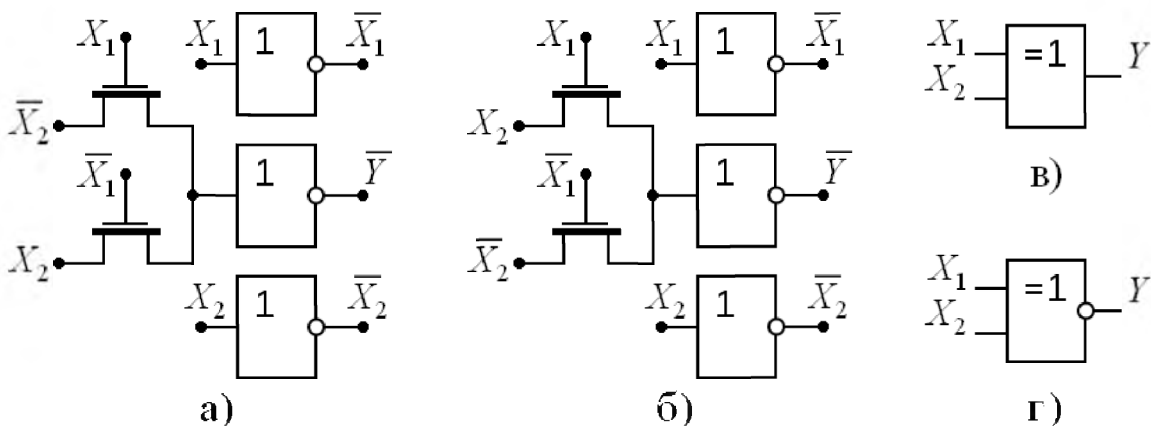


Рис. 19. Элементы «исключающее ИЛИ» и «исключающее ИЛИ-НЕ»

Схема «исключающее ИЛИ» рис. 21 позволяет избавиться от необходимости инверсных входных сигналов. На транзисторы с каналом *p*-типа входные сигналы подаются только на затворы, в то время как для транзисторов с каналом *n*-типа используется дополнительное управление по стоку или истоку. Для восстановления логического перепада на выходе поставлен инвертор на комплементарных транзисторах. Вид сигналов во временной области аналогичен рис. 20.

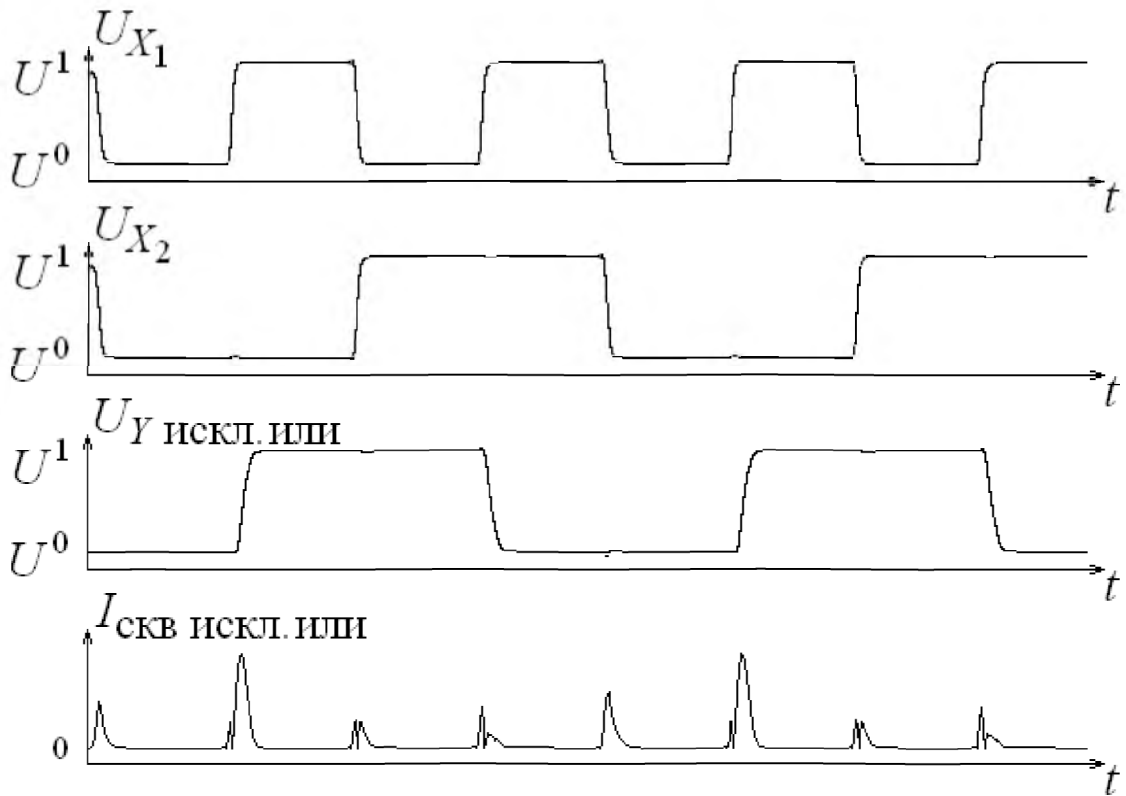


Рис. 20. Временные диаграммы работы элемента «исключающее ИЛИ»

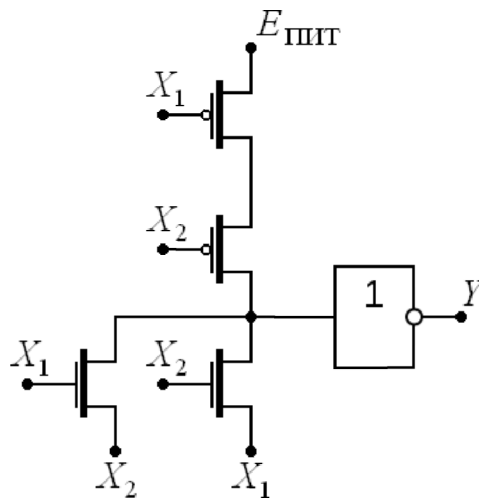


Рис. 21. Элемент «исключающее ИЛИ»

2.7. СИНТЕЗ КОМБИНАЦИОННЫХ ЦИФРОВЫХ СХЕМ

2.7.1. СОВЕРШЕННЫЕ ДИЗЬЮНКТИВНАЯ И КОНЬЮНКТИВНАЯ НОРМАЛЬНЫЕ ФОРМЫ

Традиционные методы синтеза комбинационных цифровых схем на основе конъюнктивной и дизъюнктивной нормальной форм,

минимизации выражений логических функций с использованием метода Куайна и карт Карно рассмотрены в монографиях [3, 5–7, 9].

Существуют два основных способа записи выражения логической функции либо в виде совершенной дизъюнктивной нормальной формы (СДНФ), либо в виде совершенной конъюнктивной нормальной формы (СКНФ). Рассмотрим переход от таблицы истинности к логической функции в виде СДНФ. Таблица истинности для логической функции Y с тремя входными сигналами X_1 , X_2 и X_3 представлена в табл. 5 первыми четырьмя столбцами. Введём четыре вспомогательных функции Y_1 , Y_2 , Y_3 и Y_4 по числу единиц в столбце искомой функции Y , т.е.:

$$Y = Y_1 + Y_2 + Y_3 + Y_4.$$

Таблица 5

Таблица истинности логической функции

X_1	X_2	X_3	Y	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7	Y_8
0	0	0	1	1	0	0	0	1	1	1	1
0	0	1	0	0	0	0	0	0	1	1	1
0	1	0	1	0	1	0	0	1	1	1	1
0	1	1	0	0	0	0	0	1	0	1	1
1	0	0	0	0	0	0	0	1	1	0	1
1	0	1	1	0	0	1	0	1	1	1	1
1	1	0	1	0	0	0	1	1	1	1	1
1	1	1	0	0	0	0	0	1	1	1	0

По табл. 5 составим формулы для вспомогательных функций, описывая логические единицы логическими произведениями трёх входных сигналов в соответствующей строке:

$$Y_1 = \overline{X_1} \cdot \overline{X_2} \cdot \overline{X_3}; Y_2 = \overline{X_1} \cdot X_2 \cdot \overline{X_3}; Y_3 = X_1 \cdot \overline{X_2} \cdot X_3; Y_4 = X_1 \cdot X_2 \cdot \overline{X_3}.$$

Тогда выражение для логической функции Y в виде СДНФ следующее:

$$Y = \overline{X_1} \cdot \overline{X_2} \cdot \overline{X_3} + \overline{X_1} \cdot X_2 \cdot \overline{X_3} + X_1 \cdot \overline{X_2} \cdot X_3 + X_1 \cdot X_2 \cdot \overline{X_3}.$$

Схема на логических элементах «НЕ», «И» и «ИЛИ» показана на рис. 22.

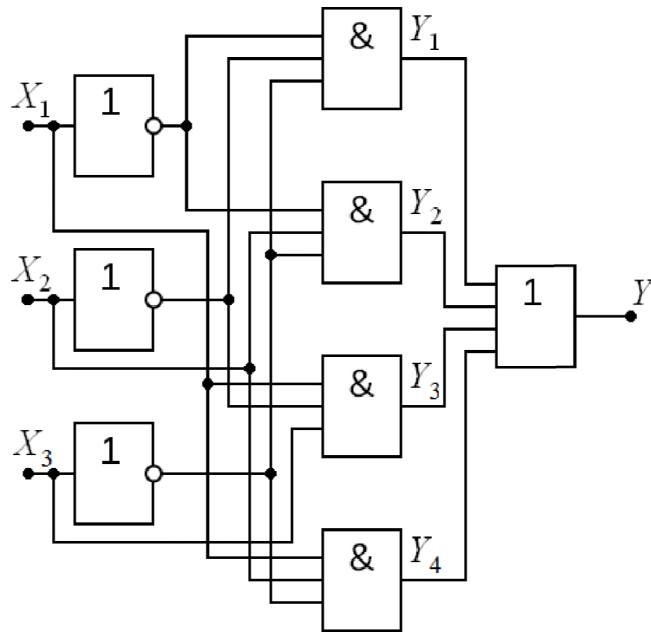


Рис. 22. Схемная реализация функции в СДНФ

Таким образом, логическая функция имеет единственное представление в виде СДНФ: входящие в логическую сумму логические произведения содержат все входные сигналы, и каждый из них входит только один раз в прямом или инверсном виде. При этом в СДНФ нет двух одинаковых произведений, и ни одно из произведений не содержит двух одинаковых множителей либо множитель и его инверсию.

Рассмотрим на примере переход от таблицы истинности к логической функции в виде СКНФ. Таблица истинности представлена в табл. 5. Введём четыре вспомогательных функции Y_5 , Y_6 , Y_7 и Y_8 по числу нулей в столбце искомой логической функции Y , т.е.:

$$Y = Y_5 \cdot Y_6 \cdot Y_7 \cdot Y_8.$$

По табл. 5 составим формулы для вспомогательных функций, описывая логические нули логическими суммами трёх входных сигналов в соответствующей строке:

$$Y_5 = X_1 + X_2 + \overline{X_3}; \quad Y_6 = X_1 + \overline{X_2} + \overline{X_3};$$

$$Y_7 = \overline{X_1} + X_2 + X_3; \quad Y_8 = \overline{X_1} + \overline{X_2} + \overline{X_3}.$$

Тогда выражение для логической функции Y в виде СКНФ следующее:

$$Y = (X_1 + X_2 + \overline{X_3}) \cdot (X_1 + \overline{X_2} + \overline{X_3}) \cdot (\overline{X_1} + X_2 + X_3) \cdot (\overline{X_1} + \overline{X_2} + \overline{X_3}).$$

Схема на логических элементах «НЕ», «ИЛИ» и «И» показана на рис. 23.

Таким образом, логическая функция имеет единственное представление в виде СКНФ: входящие в логическое произведение логические суммы содержат все входные сигналы, и каждый из них входит только один раз в прямом или инверсном виде. При этом в СКНФ нет двух одинаковых сумм, ни одна из сумм не содержит двух одинаковых слагаемых либо слагаемое и его инверсию.

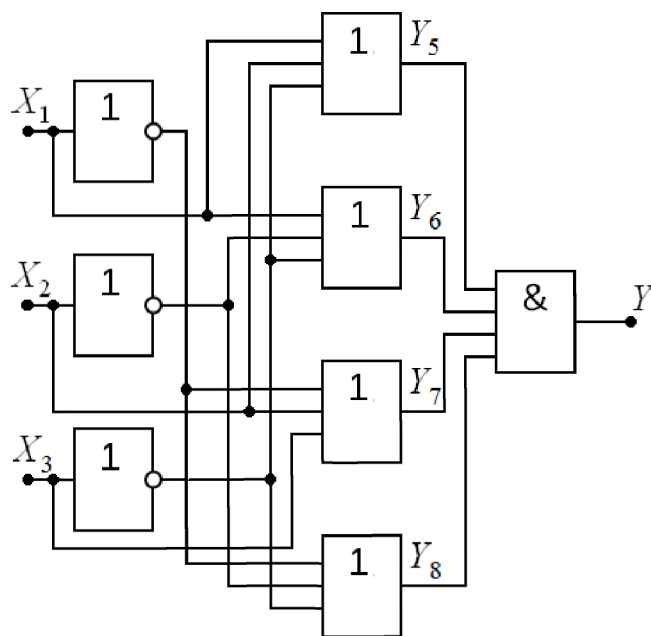


Рис. 23. Схемная реализация функции в СКНФ

Применение известных аксиом (тождеств) и правил (законов) алгебры логики даёт возможность, производя эквивалентные преобразования, упрощать СДНФ и СКНФ логических функций, т.е. находить для них более простые выражения. Так, для полученной ранее СДНФ, выполнив эквивалентные преобразования, имеем:

$$Y = \overline{X_1} \cdot (\overline{X_2} + X_2) \cdot \overline{X_3} + (\overline{X_1} + X_1) \cdot X_2 \cdot \overline{X_3} + X_1 \cdot \overline{X_2} \cdot X_3 = \\ = \overline{X_1} \cdot \overline{X_3} + X_2 \cdot \overline{X_3} + X_1 \cdot \overline{X_2} \cdot X_3.$$

Для полученной ранее СКНФ, выполнив эквивалентные преобразования, имеем:

$$Y = (X_1 + X_2 \cdot \overline{X_2} + \overline{X_3}) \cdot (X_1 \cdot \overline{X_1} + \overline{X_2} + X_3) \cdot (\overline{X_1} + X_2 + X_3) = \\ = (X_1 + \overline{X_3}) \cdot (\overline{X_2} + \overline{X_3}) \cdot (\overline{X_1} + X_2 + X_3).$$

2.7.2. МЕТОД КУАЙНА

Как правило, для эквивалентных преобразований СДНФ и СКНФ используются операции склеивания и поглощения (стр. 17, операции 10 и 11). Данные преобразования лежат в основе минимизации выражений логических функций по методу Куайна [3]. Операция склеивания логической суммы логических произведений выполняется, если в этих произведениях есть одинаковый первый множитель, а второй множитель в одно произведение входит в прямом виде, а в другое – в инверсном. В результате операции склеивания остаётся лишь одинаковый первый множитель:

$$X_1 \cdot X_2 + X_1 \cdot \overline{X_2} = X_1 \cdot (X_2 + \overline{X_2}) = X_1.$$

Если первое из двух слагаемых имеет вид множителя в составе второго слагаемого, выполняется операция поглощения, в результате которой остаётся лишь первое слагаемое:

$$X_1 + X_1 \cdot X_2 = X_1 \cdot (1 + X_2) = X_1.$$

Операция склеивания логического произведения логических сумм выполняется, если в этих суммах есть одинаковое первое слагаемое, а второе слагаемое в одну сумму входит в прямом виде, а в другую – в инверсном. В результате операции склеивания остаётся лишь одинаковое первое слагаемое:

$$(X_1 + X_2) \cdot (X_1 + \overline{X_2}) = X_1 + X_1 \cdot (X_2 + \overline{X_2}) + X_2 \cdot \overline{X_2} = X_1.$$

Если первый из двух множителей имеет вид слагаемого в составе второго множителя, то выполняется операция поглощения, в результате которой остаётся лишь первый множитель:

$$X_1 \cdot (X_1 + X_2) = X_1 + X_1 \cdot X_2 = X_1 \cdot (1 + X_2) = X_1.$$

В случае применения метода Куайна для минимизации выражения логической функции, с увеличением числа входных сигналов возрастает число логических произведений и сумм и, соответственно, число анализируемых вариантов склеиваний и поглощений, что является очевидным недостатком. Кроме того, в результате склеивания могут появляться лишние слагаемые или сомножители.

2.7.3. КАРТЫ КАРНО

При минимизации выражений логических функций на основе карт Карно [3] используются те же операции, что и при минимизации по методу Куайна, но формой представления исходных данных является карта с числом клеток 2^N , где N – число входных сигналов искомой логической функции. Кодировка клеток карты Карно определяется значениями входных сигналов, при этом коды клеток карты заданы в коде Грея, т.е. соседние клетки отличаются значениями только одного из входных сигналов. То есть клетка карты Карно соответствует строке таблицы истинности и заполняется значением логической функции в данной строке. Признаком выполнения операции склеивания является расположение в соседних клетках одинаковых логических значений. Отметим, что соседними друг другу считаются и крайние по вертикали в соответствующем столбце, и крайние по горизонтали в соответствующей строке клетки.

На рис. 24 показана карта Карно для логической функции Y , таблица истинности которой представлена в табл. 5. Для получения минимизированного выражения логической функции в виде суммы произведений на рис. 24, а операции склеивания показаны замкнутыми контурами, охватывающими соседние логические единицы. Каждый из полученных контуров представляется логическим произведением не изменяющихся в рамках контура входных сигналов (кодов клеток карты), причём входной сигнал, кодируемый логической единицей, входит в произведение в прямом виде, а кодируемый логическим нулём – в обратном. Не входящая в контуры логическая единица представляется логическим произведением всех входных сигналов в прямом или обратном виде согласно коду клетки карты. Таким образом, получим:

$$Y = \overline{X_1} \cdot \overline{X_3} + X_2 \cdot \overline{X_3} + X_1 \cdot \overline{X_2} \cdot X_3.$$

Для получения минимизированного выражения логической функции в виде произведения сумм на рис. 24, б операции склеивания показаны замкнутыми контурами, охватывающими соседние логические нули. Каждый из полученных контуров представляется

логической суммой не изменяющихся в рамках контура входных сигналов (кодов клеток карты), причём входной сигнал, кодируемый логическим нулём, входит в сумму в прямом виде, а кодируемый логической единицей – в обратном. Не входящий в контуры логический ноль представляется логической суммой всех входных сигналов в прямом или обратном виде согласно коду клетки карты. Таким образом, получим:

$$Y = (X_1 + \overline{X_3}) \cdot (\overline{X_2} + \overline{X_3}) \cdot (\overline{X_1} + X_2 + X_3).$$

		$X_2 X_3$			
		00	01	11	10
X_1	0	1	0	0	1
	1	0	1	0	1

а)

		$X_2 X_3$			
		00	01	11	10
X_1	0	1	0	0	1
	1	0	1	0	1

б)

Рис. 24. Карта Карно логической функции из табл. 5.

В общем случае в результате операций склеивания в картах Карно образуются контуры, охватывающие 2^n клеток, где $n = 1, 2, \dots, N$. На рис. 25 показана карта Карно для логической функции «И-ИЛИ-НЕ», таблица истинности которой представлена в табл. 3. Минимизированное выражение логической функции в виде суммы произведений согласно рис. 25, а имеет вид:

$$Y = \overline{X_1} \cdot \overline{X_3} + \overline{X_1} \cdot \overline{X_4} + \overline{X_2} \cdot \overline{X_3} + \overline{X_2} \cdot \overline{X_4}.$$

Минимизированное выражение функции «И-ИЛИ-НЕ» в виде произведения сумм согласно рис. 25, б имеет более компактный вид:

$$Y = (\overline{X_1} + \overline{X_2}) \cdot (\overline{X_3} + \overline{X_4}).$$

Для получения выражения логической функции «И-ИЛИ-НЕ» из табл. 3 воспользуемся законом двойного отрицания, т.е.:

$$Y = \overline{\overline{Y}} = \overline{\overline{(\overline{X_1} + \overline{X_2}) \cdot (\overline{X_3} + \overline{X_4})}} = \overline{(\overline{X_1} + \overline{X_2}) + (\overline{X_3} + \overline{X_4})} = X_1 \cdot X_2 + X_3 \cdot X_4.$$

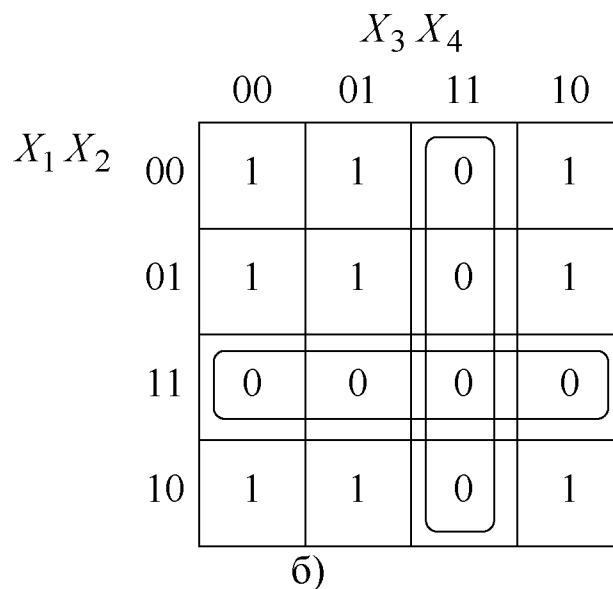
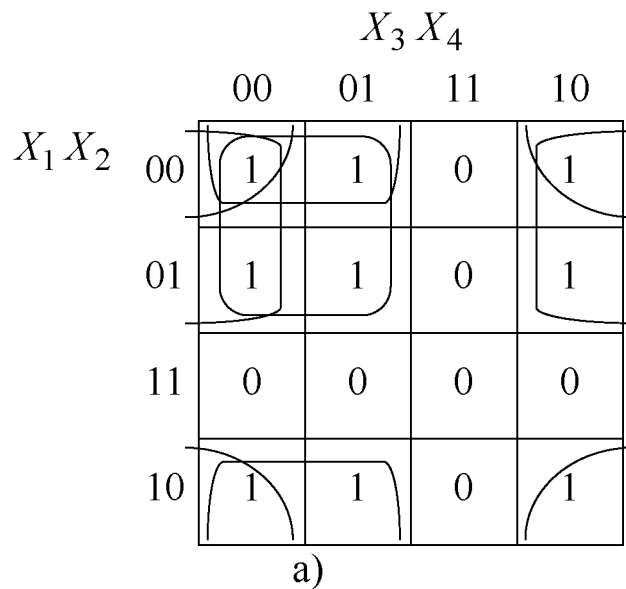


Рис. 25. Карта Карно логической функции «И-ИЛИ-НЕ» из табл. 3.

При количестве входных сигналов более четырёх применение карт Карно для минимизации выражений логических функций оказывается не эффективным. Поскольку среди клеток карты, отличающихся значениями только одного из входных сигналов, оказываются и не соседние, следовательно, возникает необходимость учёта и таких контуров. При этом карта Карно теряет наглядность. На рис. 26 представлена карта Карно для функций пяти входных сигналов. Здесь условия склеивания выполняются также и для клеток, кодировка которых отличается значениями одного из входных сигналов, но не расположенных рядом, а именно клеток, которые симметричны относительно жирной горизонтальной линии. При этом полученное выражение для такого контура имеет следующий вид: $X_2 \cdot X_3 \cdot \overline{X_4} \cdot X_5$.

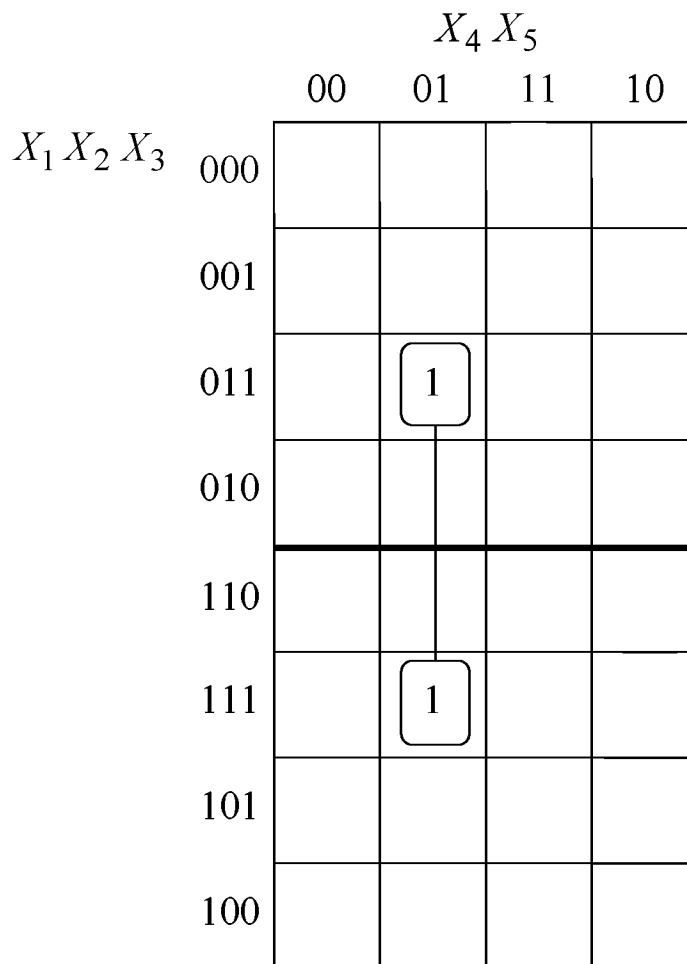


Рис. 26. Карта Карно для функции пяти входных сигналов

2.7.4. СИНТЕЗ КОМБИНАЦИОННЫХ СХЕМ НА ЛОГИЧЕСКИХ ЭЛЕМЕНТАХ «И-НЕ» И «ИЛИ-НЕ»

Рассмотрим комбинационные схемы, заданные логическими функциями в табл. 6. Карты Карно представлены на рис. 27.

Для Y_1 имеем два контура:

$$Y_1 = \overline{X_1} \cdot \overline{X_3} + \overline{X_2} \cdot X_3 \cdot X_4,$$

применим тождество двойного отрицания и закон отрицания или двойственности (правила де Моргана):

$$Y_1 = \overline{\overline{\overline{X_1} \cdot \overline{X_3} + \overline{X_2} \cdot X_3 \cdot X_4}} = \overline{\overline{\overline{X_1} \cdot \overline{X_3}} \cdot \overline{\overline{\overline{X_2} \cdot X_3 \cdot X_4}}},$$

получим выражение для реализации комбинационной схемы на логических элементах «И-НЕ». Схемная реализация для этого выражения показана на рис. 28.

Таблица 6

Таблица истинности логических функций

X_1	X_2	X_3	X_4	Y_1	Y_2
0	0	0	0	1	0
0	0	0	1	1	–
0	0	1	0	0	–
0	0	1	1	1	–
0	1	0	0	1	–
0	1	0	1	1	0
0	1	1	0	0	0
0	1	1	1	0	1
1	0	0	0	0	1
1	0	0	1	0	–
1	0	1	0	0	1
1	0	1	1	1	1
1	1	0	0	0	0
1	1	0	1	0	1
1	1	1	0	0	–
1	1	1	1	0	1

Для Y_2 имеем два контура:

$$Y_2 = (X_1 + X_3) \cdot (\overline{X_2} + X_4),$$

применим тождество двойного отрицания и закон отрицания или двойственности (правила де Моргана):

$$Y_2 = \overline{\overline{Y_2}} = \overline{\overline{(X_1 + X_3) \cdot (\overline{X_2} + X_4)}} = \overline{\overline{X_1 + X_3} + \overline{\overline{X_2} + X_4}} = \overline{\overline{X_1} \cdot \overline{X_3} + X_2 + X_4},$$

получим выражение для реализации комбинационной схемы на логических элементах «ИЛИ-НЕ». Схемная реализация для этого выражения показана на рис. 29.

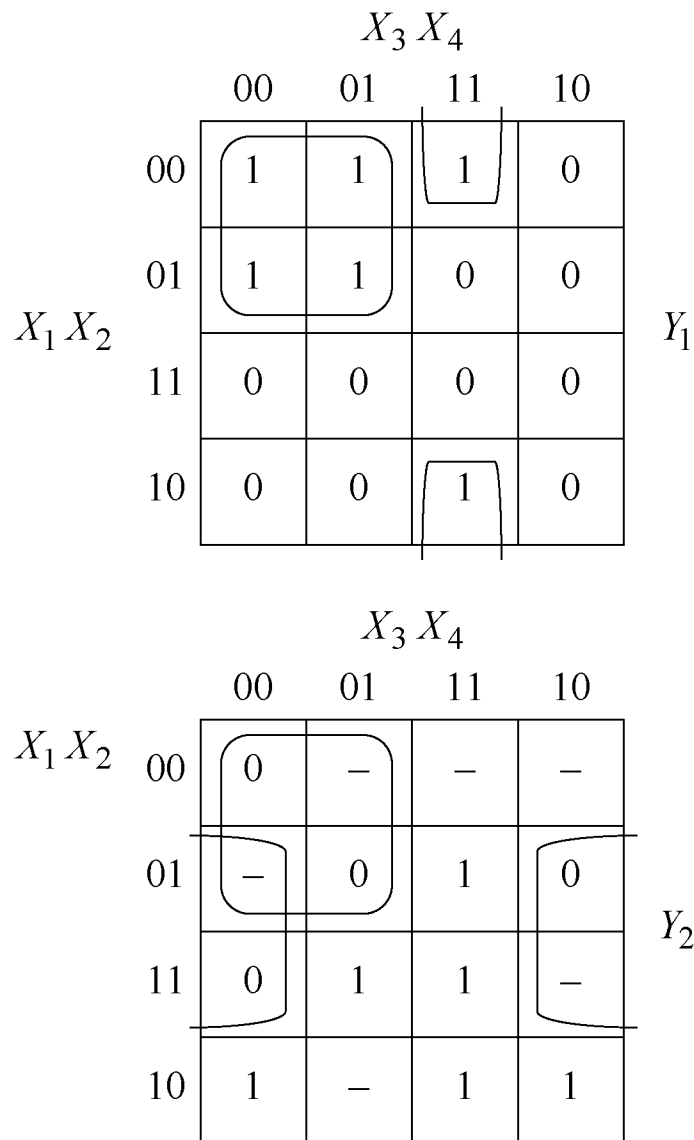


Рис. 27. Карты Карно для табл. 6

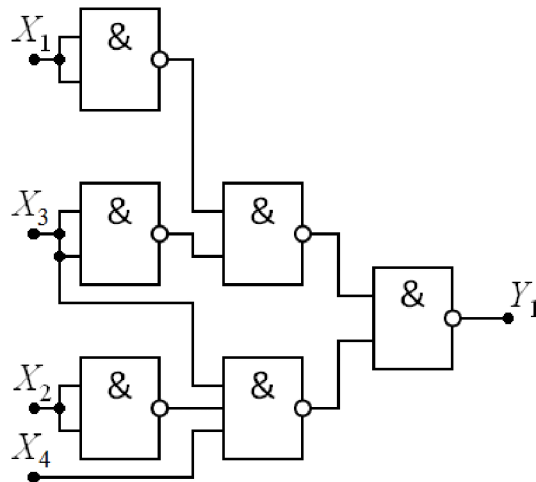


Рис. 28. Схема на логических элементах «И-НЕ»

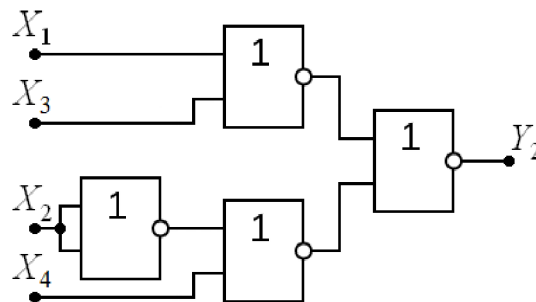


Рис. 29. Схема на логических элементах «ИЛИ-НЕ»

2.7.5. СИНТЕЗ КОМБИНАЦИОННЫХ СХЕМ НА ЛОГИЧЕСКИХ ЭЛЕМЕНТАХ «ИЛИ-И-НЕ» И «И-ИЛИ-НЕ»

Рассмотрим комбинационные схемы, заданные логическими функциями в табл. 6. Карты Карно представлены на рис. 27. Для Y_1 имеем два контура:

$$Y_1 = \overline{X_1} \cdot \overline{X_3} + \overline{X_2} \cdot X_3 \cdot X_4,$$

применим тождество двойного отрицания и закон отрицания или двойственности (правила де Моргана):

$$Y_1 = \overline{\overline{Y_1}} = \overline{\overline{\overline{X_1} \cdot \overline{X_3} + \overline{X_2} \cdot X_3 \cdot X_4}} = \overline{(X_1 + X_3) \cdot (X_2 + \overline{X_3} + \overline{X_4})},$$

получим выражение для реализации комбинационной схемы на основе логического элемента «ИЛИ-И-НЕ». Рассмотрим выражение под знаком инверсии (операции «НЕ»). Логическая сумма (операция «ИЛИ») соответствует последовательному соединению в той части

схемы, где используются МОП-транзисторы с каналами p -типа, и параллельному соединению, где используются МОП-транзисторы с каналами n -типа. Логическое произведение (операция «И») соответствует параллельному соединению в той части схемы, где используются МОП-транзисторы с каналами p -типа, и последовательному соединению, где используются МОП-транзисторы с каналами n -типа. Схемная реализация для этого выражения показана на рис. 30.

Для не полностью определённой функции Y_2 имеем два контура (недоопределенные клетки доопределяются по своему усмотрению):

$$Y_2 = (X_1 + X_3) \cdot (\overline{X_2} + X_4),$$

применим тождество двойного отрицания и закон отрицания или двойственности (правила де Моргана):

$$Y_2 = \overline{\overline{Y_2}} = \overline{\overline{(X_1 + X_3) \cdot (\overline{X_2} + X_4)}} = \overline{\overline{X_1} \cdot \overline{X_3} + \overline{X_2} \cdot \overline{X_4}},$$

получим выражение для реализации комбинационной схемы на основе логического элемента «И-ИЛИ-НЕ». Схемная реализация для этого выражения показана на рис. 31.

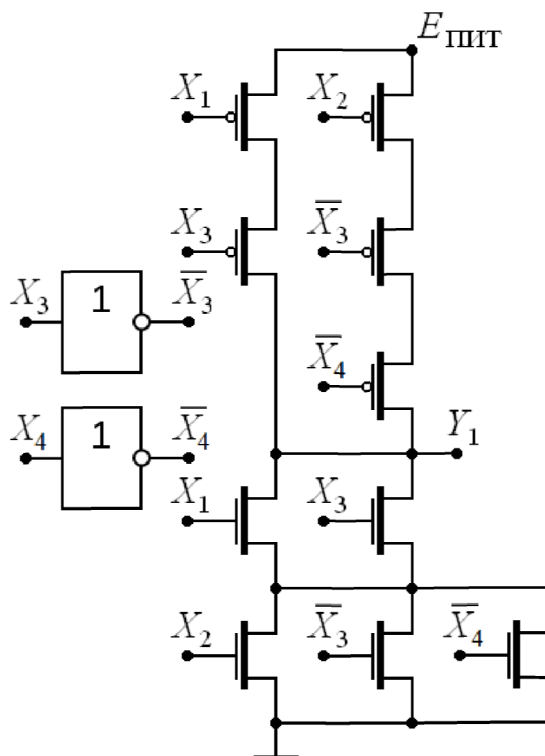


Рис. 30. Схема на логическом элементе «ИЛИ-И-НЕ»

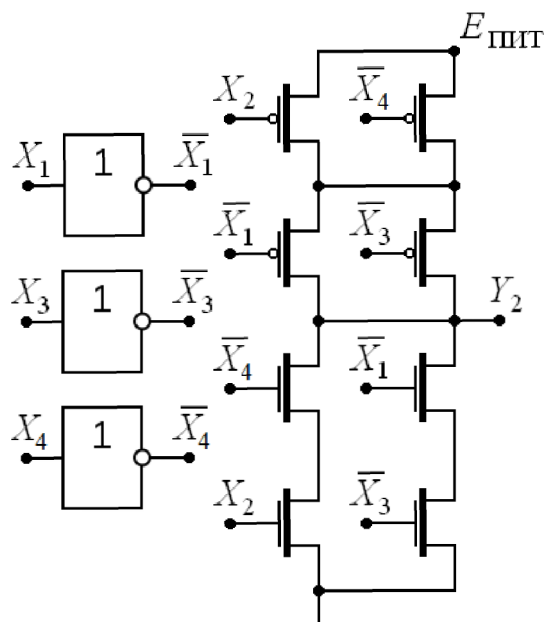


Рис. 31. Схема на логическом элементе «И-ИЛИ-НЕ»

2.7.6. СИНТЕЗ КОМБИНАЦИОННЫХ СХЕМ НА МУЛЬТИПЛЕКСОРАХ

Рассмотрим комбинационные схемы, заданные логическими функциями в табл. 6. Карты Карно представлены на рис. 32. Для Y_1 выбираем в качестве сигнала на адресном входе X_3 и имеем два контура:

$$Y_1 = \overline{X_1} \cdot \overline{X_3} + X_2 \cdot X_4 \cdot X_3,$$

далее преобразуем:

$$Y_1 = \overline{\overline{\overline{X_1} \cdot \overline{X_3}} + \overline{\overline{\overline{X_2 \cdot X_4 \cdot X_3}}}} = \overline{\overline{\overline{X_1} \cdot \overline{X_3}} + \overline{\overline{\overline{X_2 \cdot X_4 \cdot X_3}}}},$$

получим выражение для реализации комбинационной схемы на мультиплексоре, где X_3 подаётся на адресный вход. Рассмотрим полученное выражение с учётом знака инверсии (операции «НЕ»). При воздействии напряжением логической единицы на вход X_3 на выходе Y_1 формируется логическое состояние, соответствующее $\overline{X_2} \cdot X_4$, а при воздействии напряжением логического нуля на вход X_3 на выходе Y_1 формируется логическое состояние, соответствующее $\overline{X_1}$. Схемная реализация для этого выражения на мультиплексоре с дополнительным управлением по стоку или истоку показана на рис. 33.

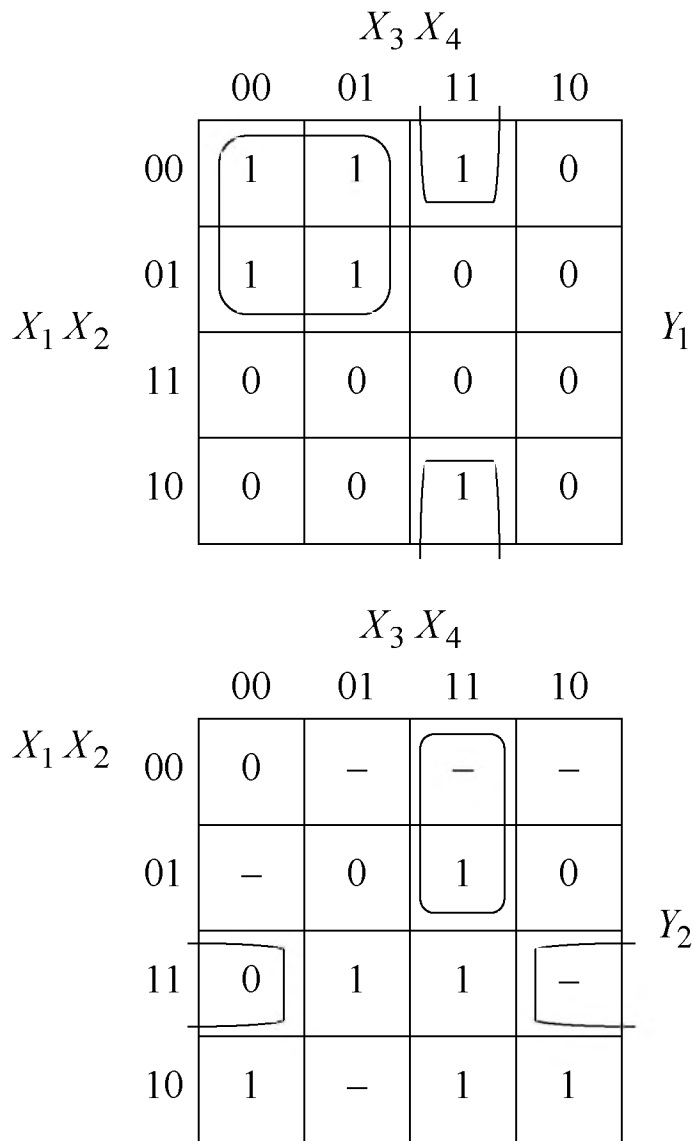


Рис. 32. Карты Карно для табл. 6 при использовании мультиплексоров

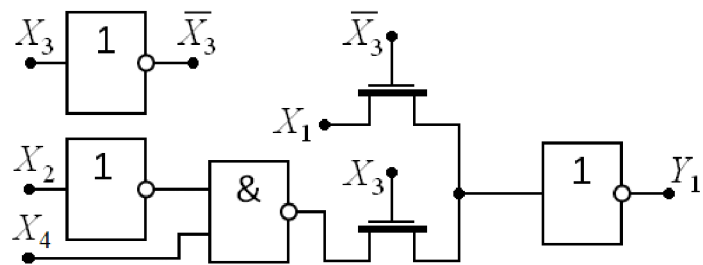


Рис. 33. Схема для Y_1 на мультиплексоре

Для Y_2 выбираем в качестве сигнала на адресном входе X_1 и имеем два контура (см. рис. 32):

$$Y_2 = X_3 \cdot X_4 \cdot \bar{X}_1 + (\bar{X}_2 + X_4) \cdot X_1,$$

далее преобразуем:

$$Y_2 = \overline{\overline{X_3 \cdot X_4 \cdot X_1} + X_2} + X_4 \cdot X_1,$$

получим выражение для реализации комбинационной схемы на мультиплексоре, где X_1 подаётся на адресный вход. Рассмотрим полученное выражение с учётом знака инверсии (операции «НЕ»). При воздействии напряжением логической единицы на вход X_1 на выходе Y_2 формируется логическое состояние, соответствующее $\overline{X_2 + X_4}$, а при воздействии напряжением логического нуля на вход X_1 на выходе Y_2 формируется логическое состояние, соответствующее $X_3 \cdot X_4$. Схемная реализация для этого выражения на мультиплексоре с дополнительным управлением по стоку или истоку показана на рис. 34.

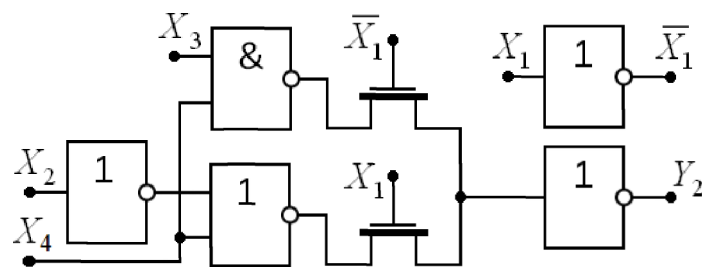


Рис. 34. Схема для Y_2 на мультиплексоре

2.8. СУММАТОРЫ

Одноразрядный двоичный сумматор является одним из основных компонентов цифровых интегральных схем, имеет входы A , B – сигналов двух слагаемых, C – сигнала переноса из предыдущего разряда и выходы S – суммы, CO – переноса в следующий разряд. Таблица истинности представлена в табл. 7. На рис. 35 согласно табл. 7 показаны карты Карно для логических функций S и CO (рис. 35, б) одноразрядного двоичного сумматора. В карте рис. 35, а для логической функций S отсутствуют контура склеивания, что не позволяет провести минимизацию логического выражения. Минимизированное выражение логической функции CO в виде суммы произведений согласно карте рис. 35, б имеет вид:

$$CO = A \cdot C + B \cdot C + A \cdot B.$$

Таблица истинности одноразрядного двоичного сумматора

C	B	A	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

		$B A$				
		00	01	11	10	
C	0	0	1	0	1	S
	1	1	0	1	0	

а)

		$B A$				
		00	01	11	10	
C	0	0	0	1	0	CO
	1	0	1	1	1	

б)

Рис. 35. Карты Карно для логических функции одноразрядного двоичного сумматора из табл. 6.

Для минимизации выражения логической функции S составим таблицу истинности табл. 8, учитывающую сигнал CO , как ещё один входной сигнал. При этом в полученной таблице в столбце S определены восемь значений сигнала суммы согласно табл. 7, а

строки, отмеченные символом «–», физически не реализуемы, поскольку таких сочетаний сигналов CO , C , B и A не может быть по правилу работы двоичного сумматора. То есть символ «–» следует рассматривать как неопределённое состояние (либо 0, либо 1), при этом схема сумматора никогда не окажется в состоянии, когда возможно наблюдать такую совокупность выходного сигнала переноса в следующий разряд и трёх входных сигналов, как указано в этих строках таблицы истинности. Таким образом, сигнал суммы имеет вид не полностью определённой логической функции.

Таблица 8

Таблица истинности сигнала суммы одnorазрядного двоичного сумматора

CO	C	B	A	S
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	–
0	1	0	0	1
0	1	0	1	–
0	1	1	0	–
0	1	1	1	–
1	0	0	0	–
1	0	0	1	–
1	0	1	0	–
1	0	1	1	0
1	1	0	0	–
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

На рис. 36 согласно табл. 8 показана карта Карно для логической функций S одnorазрядного двоичного сумматора.

Предполагается, что входящие в контура склеивания символы «-» принимают значения логической единицы. Тогда минимизированное выражение логической функции S в виде суммы произведений согласно карте рис. 36 имеет вид:

$$S = A \cdot \overline{CO} + B \cdot \overline{CO} + C \cdot \overline{CO} + A \cdot B \cdot C.$$

Среди многообразия схемотехнических решений, ориентированных на комплементарные транзисторы, наибольшее распространение получила схема одноразрядного двоичного сумматора [2], показанная на рис. 37. Схема содержит 28 транзисторов, из которых 14 транзисторов Т6–Т10, Т12, Т17–Т20, Т24–Т26, Т28 с каналом n -типа и симметрично 14 транзисторов Т1–Т5, Т11, Т13–Т16, Т21–Т23, Т27 с каналом p -типа. Сигнал суммы формируется цепью транзисторов Т13–Т28 с использованием сигнала из цепи переноса на транзисторах Т1–Т12:

$$CO = (A + B) \cdot C + A \cdot B,$$

$$S = (A + B + C) \cdot \overline{CO} + A \cdot B \cdot C.$$

		$B \ A$			
		00	01	11	10
$CO \ C$	00	0	1	-	1
	01	1	-	-	-
	11	-	0	1	0
	10	-	-	0	-

Рис. 36. Карта Карно логической функции суммы одноразрядного двоичного сумматора из табл. 7.

Повышенного быстродействия одноразрядного двоичного сумматора можно достичь за счёт использования схемы рис. 38, которая состоит из отдельных цепей формирования выходных сигналов суммы и переноса. Данное схемное решение содержит 24

транзистора, по 12 транзисторов с каналом *n*-типа и *p*-типа. Цепь сигнала переноса аналогична рис. 37 и реализована на транзисторах T1–T12. Цепь сигнала суммы в схеме рис. 38 содержит транзисторы T13–T24. Уменьшение времени задержки формирования сигнала суммы обеспечивается схемным решением, не требующим сигнала из цепи переноса и состоящим из последовательного соединения двух ячеек «исключающего ИЛИ» (рис. 21) – первой на транзисторах T13–T18 и второй на транзисторах T19–T24. Учитывая изложенное, выходной сигнал суммы определяется выражением:

$$S = \bar{C} \cdot (A \oplus B) + C \cdot \overline{A \oplus B},$$

что соответствует таблице истинности (табл. 7). Вид сигналов в схеме сумматора во временной области показан на рис. 39.

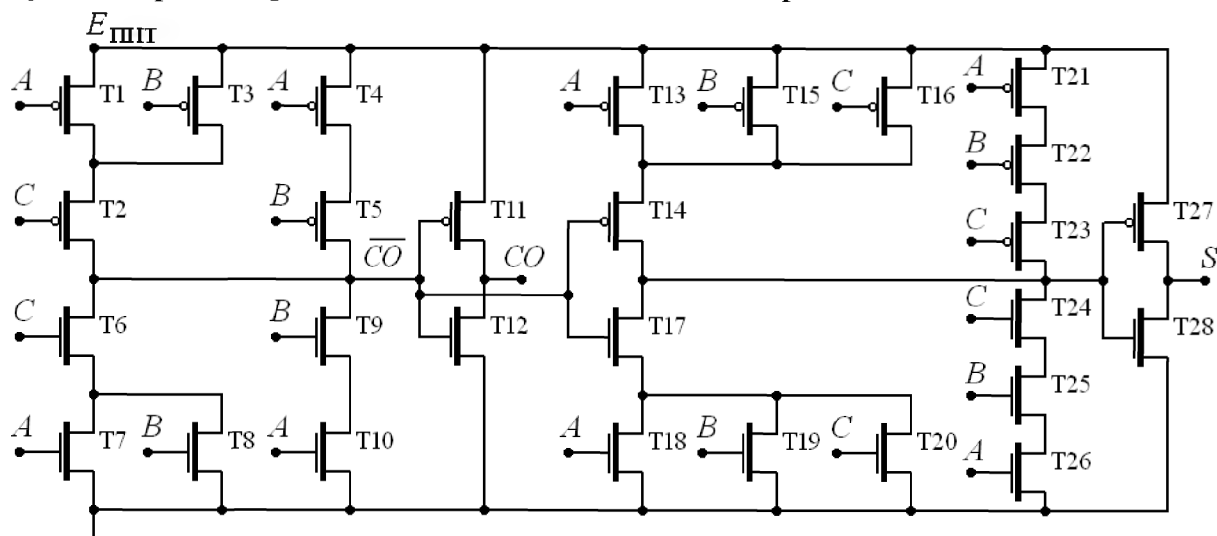


Рис. 37. Сумматор на 28 транзисторах

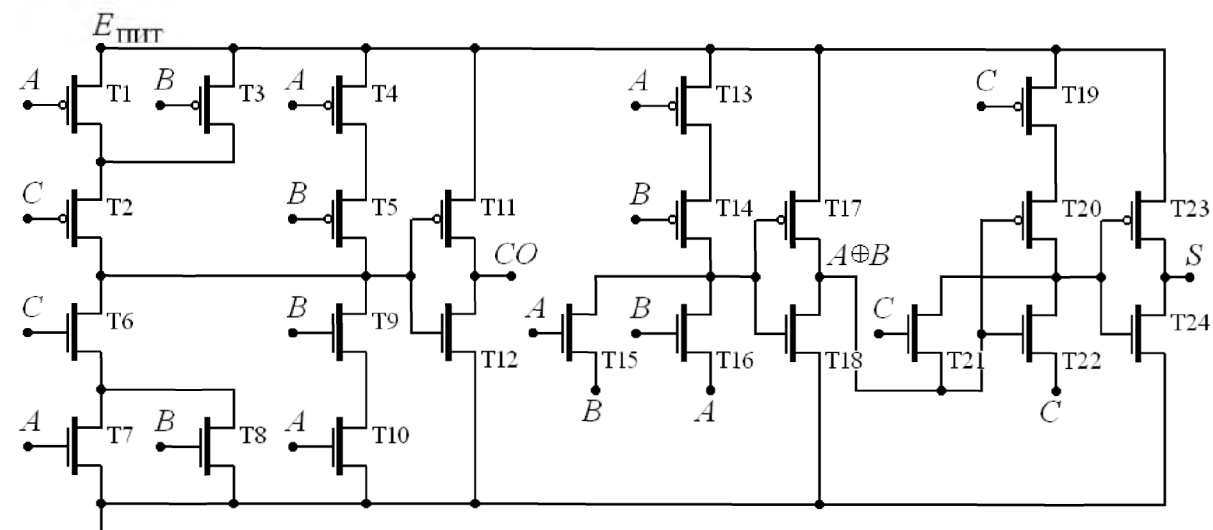


Рис. 38. Сумматор с повышенным быстродействием

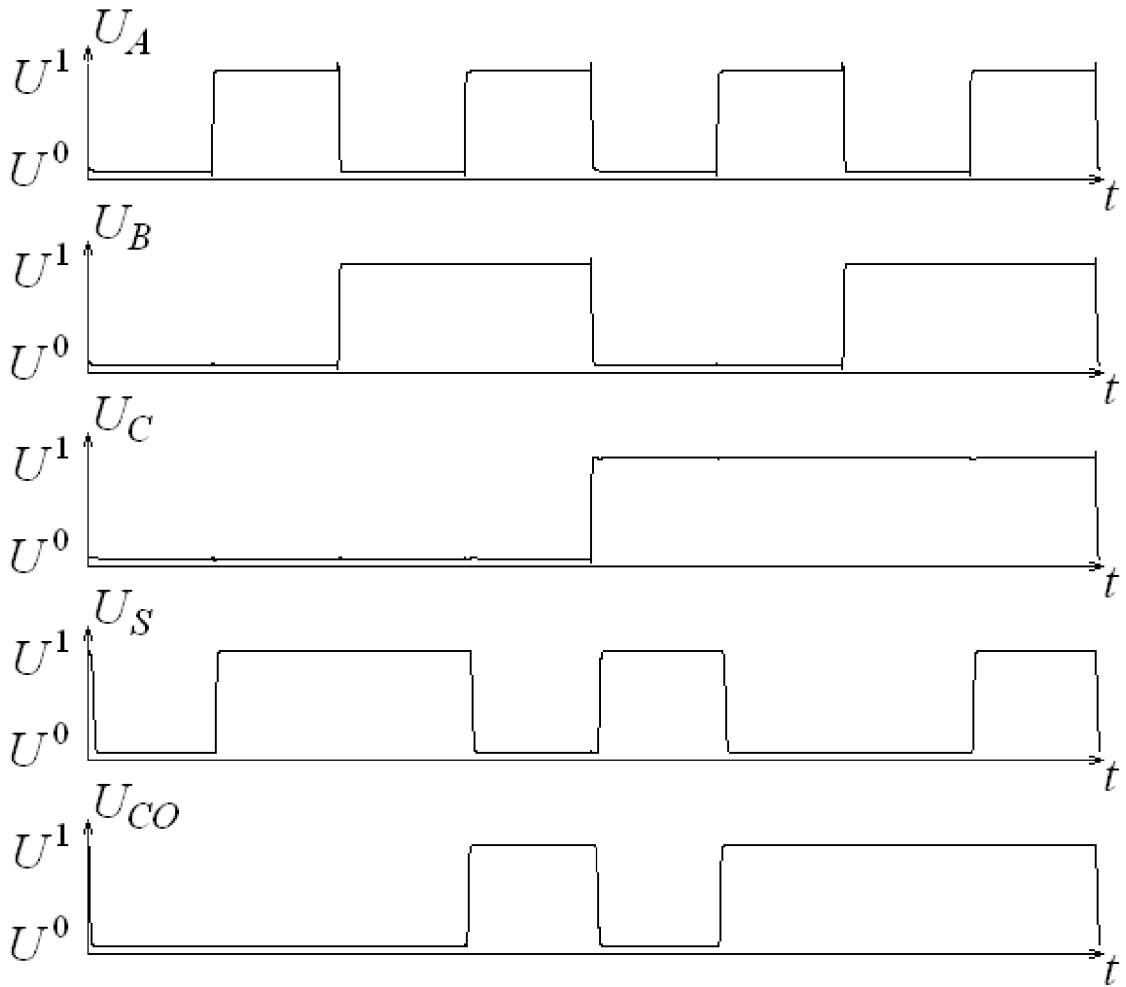


Рис. 39. Временные диаграммы работы сумматора

2.9. ВОПРОСЫ ДЛЯ САМОПРОВЕРКИ

1. Поясните построение эквивалентной схемы по постоянному току комплементарного инвертора. Чем будут отличаться эквивалентные схемы по постоянному и переменному току?

2. Объясните процессы заряда и разряда нагрузочной ёмкости комплементарного инвертора. Чем характеризуется запас помехоустойчивости комплементарного инвертора?

3. Объясните передаточную характеристику комплементарного инвертора. Как работают транзисторы схемы на горизонтальных и наклонном участках характеристики? Поясните причину появления сквозного тока в цифровых схемах.

4. Составьте таблицу истинности логической функции $Y = X_1 \cdot \overline{X_2} \oplus (\overline{X_3} + X_4)$. Постройте временные диаграммы работы схемы, реализующей данную логическую функцию.

5. Преобразуйте логические функции к более простому виду $Y_1 = (X_1 + X_2) \cdot (X_1 + \overline{X_2})$, $Y_2 = X_1 \cdot X_2 \cdot X_3 + X_1 \cdot \overline{X_2} \cdot \overline{X_3}$.

6. Постройте на логических элементах схему, реализующую логическую функцию $Y = \overline{X_1 \cdot X_2 \cdot X_3} + X_1 \cdot \overline{X_2} \cdot \overline{X_3}$.

7. Постройте на транзисторном уровне схему, реализующую логическую функцию $Y = \overline{X_1 \cdot X_2 \cdot X_3} + \overline{\overline{X_1} \cdot \overline{X_2} \cdot \overline{X_3}}$.

8. Объясните переход от таблицы истинности к выражению логической функции в виде СДНФ и СКНФ.

9. Как проводится минимизация выражений логических функций по методу Куайна? В чем сложность применения данного метода?

10. Как проводится минимизация выражений логических функций на основе карт Карно (в том числе для не полностью определённых логических функций)? В чем заключаются ограничения использования данного метода?

3. ПОСЛЕДОВАТЕЛЬНОСТНЫЕ ЦИФРОВЫЕ СХЕМЫ

3.1. ОСОБЕННОСТИ И СПОСОБЫ ОПИСАНИЯ

У последовательностных цифровых схем состояние выхода определяется не только входными сигналами, но и предыдущими состояниями. То есть данные схемы реализуют функциональную связь не между отдельными наборами входных и выходных сигналов, а между их последовательностями в моменты времени $\dots, n-1, n, n+1, \dots$, определяемые синхронно тактовому сигналу. Поэтому последовательностные схемы содержат элементы памяти, которые сохраняют информацию о состояниях сигналов в предыдущие моменты времени (на предыдущих тактах). В качестве элементов памяти используются триггеры. Помимо триггеров характерными представителями последовательностных схем являются регистры и счётчики импульсов [2, 3, 5–10]. Методы синтеза таких схем рассмотрены в работах [3, 5–7, 9].

В качестве примера рассмотрим последовательностный двоичный сумматор, который осуществляет логическое сложение двух сигналов, поступающих на его входы последовательно разряд за разрядом синхронно тактовому сигналу, начиная с младших разрядов. На каждом такте схема определяет логическое значение сигнала суммы для текущего разряда с учётом сохранённой информации о значении сигнала переноса из предыдущего разряда и сохраняет значение сигнала переноса для следующего разряда. При этом информация о текущем значении сигнала переноса сохраняется только на один такт и обновляется с каждым следующим тактом.

В соответствии с представленным описанием последовательностный двоичный сумматор имеет два входных сигнала X_1 и X_2 , выходной сигнал суммы Y и элемент памяти для хранения сигнала переноса Z . Множество состояний сигналов входов такой схемы состоит из четырёх элементов:

$$\{X_1 X_2\} = \{00, 01, 11, 10\}.$$

Состояний, как сигналов выхода суммы, так и сигналов переноса имеется по два:

$$\{Y\} = \{Y_1 = 0, Y_2 = 1\}, \{Z\} = \{Z_1 = 0, Z_2 = 1\}.$$

Функционирование двухвходового последовательностного двоичного сумматора может быть представлено таблицей переключений в виде табл. 9, где индексы n и $n+1$ указывают на значения сигналов на текущем и следующем тактах соответственно.

Таблица 9

Таблица переключений двухвходового последовательностного сумматора

X_1^n	X_2^n	Z^n	Y^n	Z^{n+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Помимо таблиц переключений для описания последовательностных схем используются таблицы состояний и переходов. На рис. 40 показана таблица состояний и переходов двухвходового последовательностного двоичного сумматора. Первая строка таблицы описывает функционирование схемы при воздействии на текущем такте всех возможных состояний входных сигналов, если сигнал переноса при сложении на предыдущем такте оказался равным логическому нулю. В каждой клетке указаны получаемые в результате сигналы выхода суммы и переноса. Вторая строка таблицы описывает функционирование схемы, если сигнал переноса при сложении на предыдущем такте оказался равным логической

единице. Например, при $Z^n = Z_2 = 1$ (вторая строка таблицы) в результате воздействия входных сигналов $X_1^n = 0$ и $X_2^n = 0$ (первый столбец) получаем сигнал выхода суммы $Y^n = Y_2 = 1$ и сигнал переноса для следующего разряда $Z^{n+1} = Z_1 = 0$.

		$X_1 X_2$			
		00	01	11	10
$Z_1 = 0$	$Z_2 = 0$	$Y_1 = 0, Z_1 = 0$	$Y_2 = 1, Z_1 = 0$	$Y_1 = 0, Z_2 = 1$	$Y_2 = 1, Z_1 = 0$
	$Z_2 = 1$	$Y_2 = 1, Z_1 = 0$	$Y_1 = 0, Z_2 = 1$	$Y_2 = 1, Z_2 = 1$	$Y_1 = 0, Z_2 = 1$

Рис. 40. Таблица состояний и переходов двухвходового последовательностного двоичного сумматора

Функционирование последовательностных схем может быть проиллюстрировано графом состояний и переходов (рис. 41), который фактически является наглядным аналогом таблицы состояний и переходов (рис. 40). При этом граф позволяет проводить анализ на наличие зацикливаний при функционировании последовательностных схем. В случае графа двухвходового последовательностного двоичного сумматора, показанного на рис. 41, зацикливания отсутствуют.

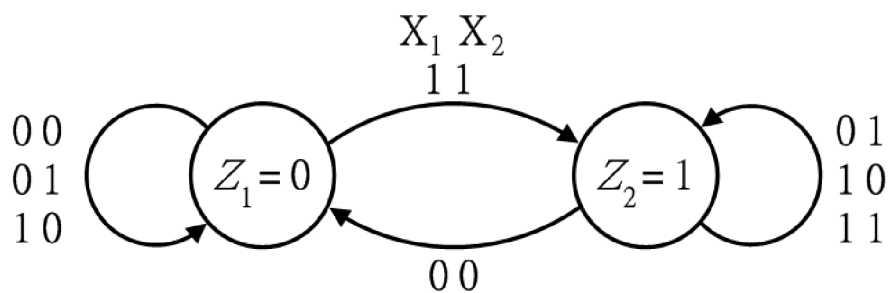


Рис. 41. Граф состояний и переходов двухвходового последовательностного двоичного сумматора

3.2. ТРИГГЕРЫ С ПОТЕНЦИАЛЬНЫМ УПРАВЛЕНИЕМ

Общим свойством триггеров является сохранение одного из двух устойчивых состояний после прекращения воздействия входных

сигналов. Триггер имеет два выхода: прямой Q и инверсный \bar{Q} . Уровнями напряжения на этих выходах определяется состояние, в котором находится триггер. Если напряжение на прямом выходе соответствует логическому нулю, то считается, что триггер находится в состоянии логического нуля, в другом случае – триггер находится в состоянии логической единицы. Входные сигналы для управления триггерами могут быть в виде постоянного напряжения, соответствующего либо логическому нулю, либо логической единице. Такие триггеры являются схемами с потенциальным управлением, или асинхронным. Асинхронность означает, что устройства могут менять состояние в произвольные моменты времени, в отличие от синхронных, которые меняют состояние только в моменты времени, задаваемые тактовым сигналом. В англоязычной литературе такие триггеры называются latch – защёлки.

3.2.1. RS-ТРИГГЕРЫ

Базовым типом триггера является *RS*-триггер. На его основе строятся остальные триггеры, при этом самостоятельно (не в составе другого триггера) данный триггер в современной цифровой интегральной схемотехнике не используется. *RS*-триггер с переключающими сигналами уровня логической единицы имеет два входа и работает следующим образом. Если сигналы на обоих входах соответствуют логическому нулю, то триггер не изменяет своего состояния и находится в режиме хранения; если на вход установки *S* (Set) подаётся логическая единица, а на вход сброса *R* (Reset) – логический нуль, то триггер устанавливается в состояние логической единицы; если на вход *S* подаётся логический нуль, а на вход *R* – логическая единица, то триггер сбрасывается в состояние логического нуля; одновременное воздействие логической единицы по обоим входам должно быть исключено, считается, что такое состояние входных сигналов должно быть запрещено (запрещённое состояние). Работу данного триггера можно представить в виде таблицы переключений табл. 10, при одновременном воздействии логической

единицы по обоим входам $Q = \overline{Q} = 0$, что противоречит пониманию прямого и инверсного выходов.

Таблица 10

Таблица переключений RS-триггера с переключающими сигналами уровня логической единицы

R^n	S^n	Q^n	$\overline{Q^n}$
0	0	Q^{n-1}	$\overline{Q^{n-1}}$
0	1	1	0
1	0	0	1
1	1	0	0

Для минимизации выражения логической функции Q^n составим таблицу истинности табл. 11, учитывающую сигнал Q^{n-1} , как дополнительный входной сигнал. На рис. 42 согласно табл. 11 показана карта Карно для логической функции Q^n . Минимизированное выражение имеет вид:

$$Q^n = \overline{R^n} \cdot (S^n + Q^{n-1}) = \overline{R^n} \cdot (S^n + Q^{n-1}) = R^n + (S^n + Q^{n-1}).$$

Таблица 11

Таблица переключений сигнала Q^n RS-триггера с переключающими сигналами уровня логической единицы

R^n	S^n	Q^{n-1}	Q^n
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

		$S^n Q^{n-1}$			
		00	01	11	10
R^n	0	0	1	1	1
	1	0	0	0	0

Рис. 42. Карта Карно логической функции Q^n из табл. 11.

Таким образом, схема RS -триггера с переключающими сигналами уровня логической единицы строится на основе двух двухвходовых логических элементов «ИЛИ-НЕ» (рис. 9, б и рис. 9, з). Обозначение RS -триггера с переключающими сигналами уровня логической единицы показано на рис. 43, а, схема представлена на рис. 43, б. Схема RS -триггера с переключающими сигналами уровня логической единицы на проходных транзисторах с дополнительным управлением по стоку и истоку показана на рис. 43, в. Вид сигналов во временной области показан на рис. 44.

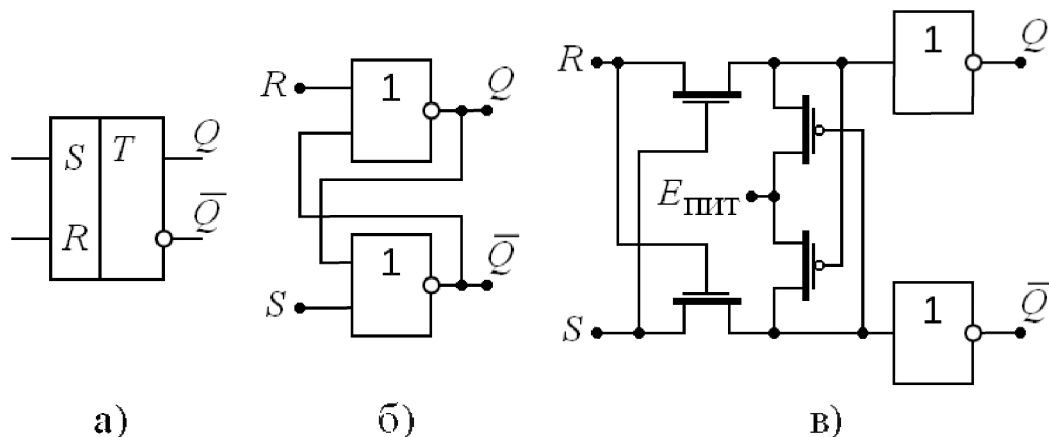


Рис. 43. RS -триггер с переключающими сигналами уровня логической единицы

RS -триггер может быть синтезирован с переключающими сигналами уровня логического нуля, тогда схема работает следующим образом. Если сигналы на обоих входах соответствуют логической единице, то триггер не изменяет своего состояния и находится в режиме хранения; если на вход установки S подаётся логический нуль, а на вход сброса R – логическая единица, то триггер

устанавливается в состояние логической единицы; если на вход S подаётся логическая единица, а на вход R – логический ноль, то триггер сбрасывается в состояние нуля; одновременное воздействие логического нуля по обоим входам следует исключить, считается, что такое состояние входных сигналов должно быть запрещено (запрещённое состояние). Работу триггера можно представить в виде таблицы переключений табл. 12, при одновременном воздействии логического нуля по обоим входам $Q = \bar{Q} = 1$.

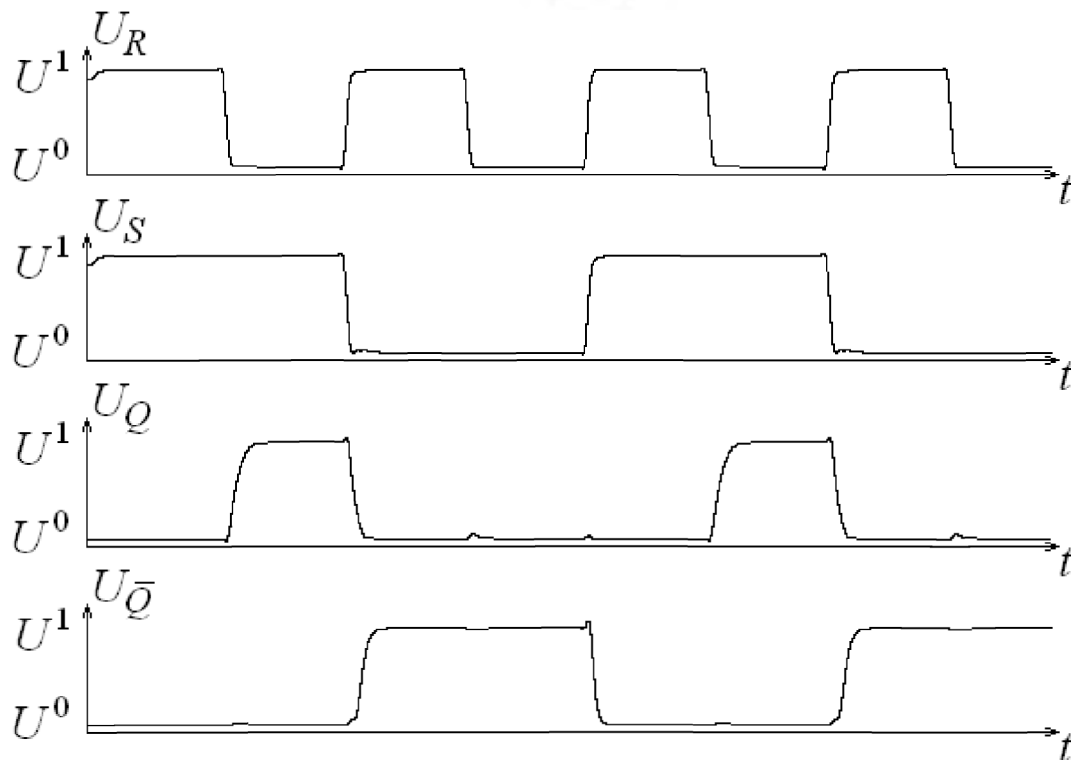


Рис. 44. Временные диаграммы работы RS -триггера с переключающими сигналами уровня логической единицы

Таблица 12

Таблица переключений RS -триггера с переключающими сигналами уровня логического нуля

R^n	S^n	Q^n	\bar{Q}^n
0	0	1	1
0	1	0	1
1	0	1	0
1	1	Q^{n-1}	\bar{Q}^{n-1}

Для минимизации выражения логической функции Q^n составим таблицу истинности табл. 13, учитывающую сигнал Q^{n-1} , как дополнительный входной сигнал. На рис. 45 согласно табл. 13 показана карта Карно для логической функции Q^n . Минимизированное выражение имеет вид:

$$Q^n = \overline{S^n} + R^n \cdot Q^{n-1} = \overline{\overline{\overline{S^n} + R^n \cdot Q^{n-1}}} = \overline{S^n \cdot R^n \cdot Q^{n-1}}.$$

Таблица 13

Таблица переключений сигнала Q^n RS-триггера с переключающими сигналами уровня логического нуля

R^n	S^n	Q^{n-1}	Q^n
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

		$S^n Q^{n-1}$			
		00	01	11	10
R^n	0	1	1	0	0
	1	1	1	1	0

Рис. 45. Карта Карно логической функции Q^n из табл. 13.

Схема RS-триггера с переключающими сигналами уровня логического нуля строится на основе двух двухвходовых логических элементов «И-НЕ» (рис. 9, а и рис. 9, в). Обозначение RS-триггера с переключающими сигналами уровня логического нуля, показано на

рис. 46, а, схема представлена на рис. 46, б. Вид сигналов в схеме во временной области показан на рис. 47.

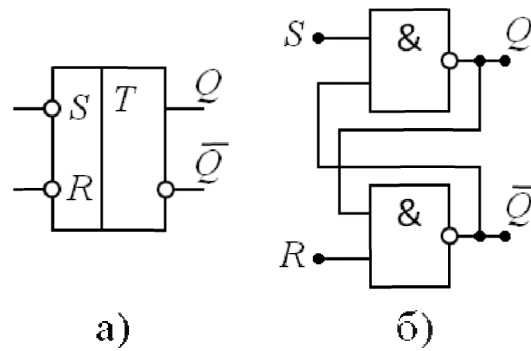


Рис. 46. *RS*-триггер с переключающими сигналами уровня логического нуля

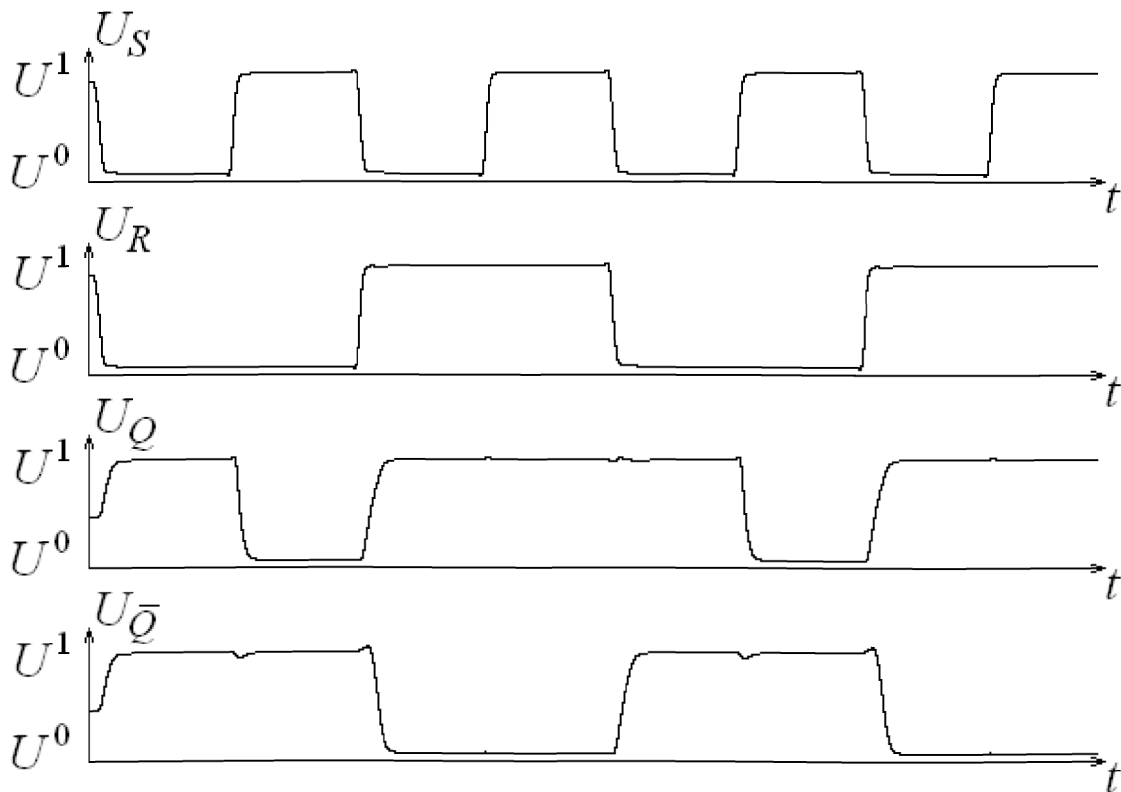


Рис. 47. Временные диаграммы работы *RS*-триггера с переключающими сигналами уровня логического нуля

3.2.2. RCS-ТРИГГЕР

RS -триггер с сигналом разрешения C (RCS -триггер), обозначение которого показано на рис. 48, а, изменяет своё состояние при воздействии сигналов на управляющих входах R и S только при наличии сигнала уровня логической единицы на входе разрешения C . То есть при наличии на входе C логической единицы схема функционирует аналогично асинхронному RS -триггеру с переключающими сигналами уровня логической единицы, воздействие логической единицы по обоим входам R и S должно быть исключено (запрещённое состояние). При наличии на входе C логического нуля RCS -триггер не изменяет состояния выходов. Работу триггера можно представить в виде таблицы переключений табл. 14.

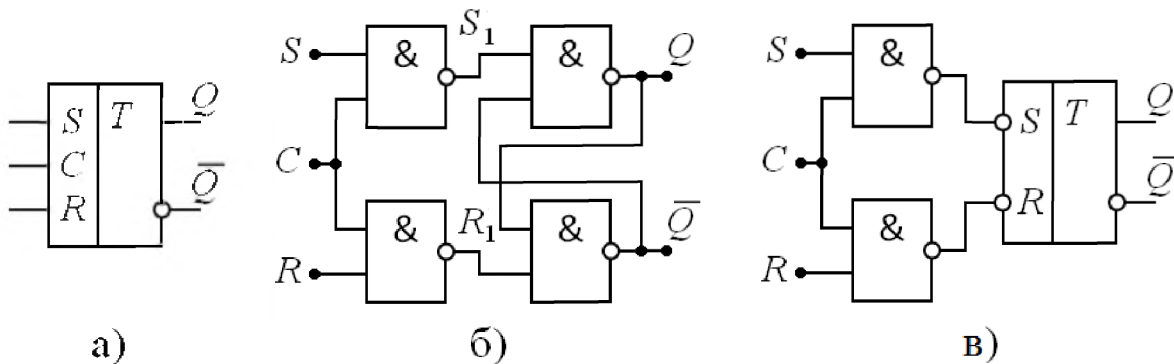


Рис. 48. RCS -триггер

Таблица 14

Таблица переключений RCS -триггера

C^n	R^n	S^n	Q^n	$\overline{Q^n}$
0	—	—	Q^{n-1}	$\overline{Q^{n-1}}$
1	0	0	Q^{n-1}	$\overline{Q^{n-1}}$
1	0	1	1	0
1	1	0	0	1
1	1	1	1	1

Схема RCS -триггера может быть получена на основе RS -

триггера с переключающими сигналами уровня логического нуля добавлением дополнительной комбинационной схемы, которая по входным сигналам R , C и S формирует управляющие сигналы RS -триггера R_1 и S_1 . Таблица истинности для этой комбинационной схемы представлена в табл. 15.

Таблица 15

Таблица истинности комбинационной схемы в составе RCS -триггера

C	R	S	R_1	S_1
0	0	0	1	1
0	0	1	1	1
0	1	0	1	1
0	1	1	1	1
1	0	0	1	1
1	0	1	1	0
1	1	0	0	1
1	1	1	–	–

На рис. 49 согласно табл. 15 показаны карты Карно для логических функции R_1 (рис. 49, а) и S_1 (рис. 49, б). Минимизированные выражения имеют вид:

$$R_1 = \bar{C} + \bar{R} = \overline{\overline{\overline{\overline{\bar{C} + \bar{R}}}}} = \overline{\overline{\overline{\bar{C} \cdot R}}}$$

$$S_1 = \bar{C} + \bar{S} = \overline{\overline{\overline{\overline{\bar{C} + \bar{S}}}}} = \overline{\overline{\overline{\bar{C} \cdot S}}}$$

То есть для получения схемы RCS -триггера к асинхронному RS -триггеру с переключающими сигналами уровня логического нуля необходимо добавить два двухвходовых логических элемента «И-НЕ». Схема RCS -триггера показана на рис. 48, б и рис. 48, в.

RCS -триггер может быть дополнен асинхронными установочными входами, сигналы с которых подаются непосредственно на элемент памяти – RS -триггер с переключающими сигналами уровня логического нуля. Для этого схема RS -триггера строится на двух трёхвходовых логических элементах «И-НЕ».

		$R S$				
		00	01	11	10	
C	0	1	1	1	1	R_1
	1	1	1	-	0	
		а)				
		$R S$				
		00	01	11	10	
C	0	1	1	1	1	S_1
	1	1	0	-	1	
		б)				

Рис. 49. Карты Карно для логических функций R_1 и S_1 из табл. 15.

3.2.3. АСИНХРОННЫЙ D-ТРИГГЕР

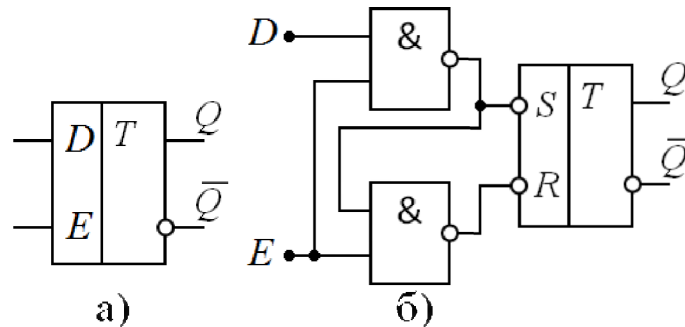
Наиболее распространённым видом триггера с сигналом разрешения является асинхронный D -триггер – D -защёлка (D -latch). Данный триггер имеет два входа: вход данных D (Data) и разрешающий вход E (Enable). Если $E = 1$, то выходной сигнал Q повторяет входной сигнал D . В таком случае говорят, что при $E = 1$ триггер прозрачен для сигнала D . Если $E = 0$, то триггер хранит предыдущее состояние Q^{n-1} вне зависимости от сигнала на входе D . Работу триггера можно представить в виде таблицы переключений табл. 16. Схему асинхронного D -триггера можно получить из RCS -триггера, если ввести следующие соотношения:

$$C = E; \quad S = D; \quad R = \bar{D}.$$

Обозначение асинхронного D -триггера показано на рис. 50, а, схема представлена на рис. 50, б.

Таблица переключений асинхронного D -триггера

E	D	Q^n
0	–	Q^{n-1}
1	0	0
1	1	1

Рис. 50. Асинхронный D -триггер

3.3. ТРИГГЕРЫ С ДИНАМИЧЕСКИМ УПРАВЛЕНИЕМ

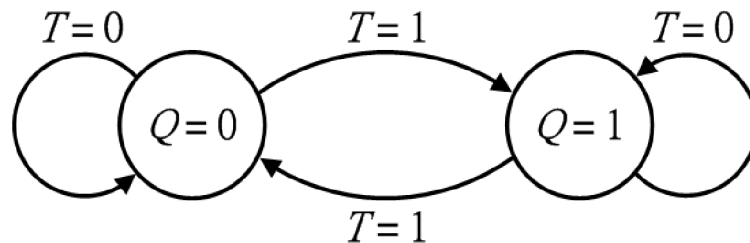
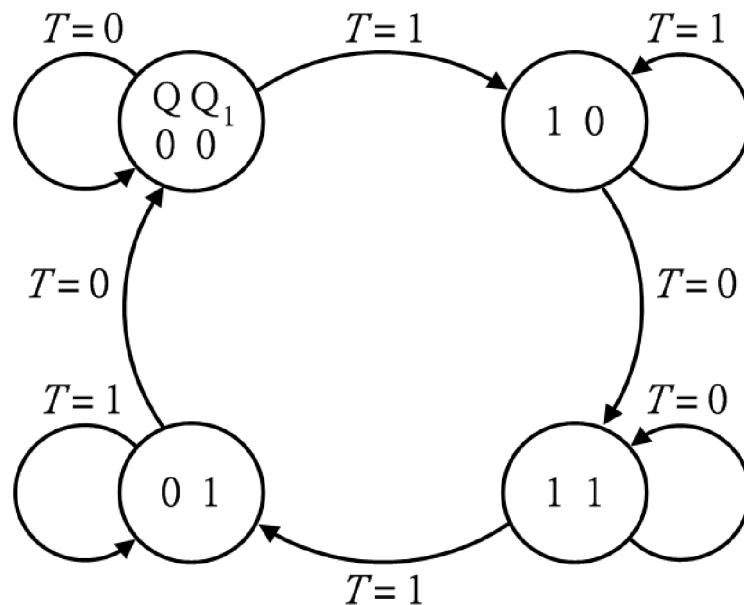
3.3.1. T -ТРИГГЕР

Счетный или T -триггер (toggle – переключатель) имеет один вход – T и с приходом каждого переключающего сигнала изменяет состояние выхода на противоположное. Таблица переключений T -триггера на основе одного элемента памяти представлена в табл. 17, граф состояний и переходов показан на рис. 51.

Очевидно, что такая последовательностная схема неустойчива, так как в случае потенциального управления при $T^n = 1$ триггер переключается из одного состояния в другое и обратно, что свойственно для режима генерации. Для обеспечения устойчивости T -триггера необходимо ввести в схему дополнительный элемент памяти Q_1 . Таким образом, получится двухступенчатая последовательностная схема, которую следует рассматривать как триггер с динамическим управлением. Теперь с приходом каждого переключающего сигнала в виде, например, положительного перепада $T = 0 \rightarrow 1$ T -триггер изменяет состояние выхода Q на противоположное. Граф состояний и переходов показан на рис. 52.

Таблица переключений T -триггера на основе одного элемента памяти

T^n	Q^n
0	Q^{n-1}
1	$\overline{Q^{n-1}}$

Рис. 51. Граф состояний и переходов T -триггера на основе одного элемента памятиРис. 52. Граф состояний и переходов T -триггера на основе двух элементов памяти

В качестве примера рассмотрим синтез T -триггера, считая, что в схему входят два элемента памяти в виде RS -триггеров с переключающими сигналами уровня логического нуля: основной и вспомогательный с выходными сигналами Q и Q_1 соответственно. Однако стоит отметить, что обычно T -триггер реализуется на базе D -триггера, который будет рассмотрен в следующем пункте.

Задача синтеза T -триггера сводится к определению логических функций управления RS -триггеров исходя из сигналов T^n , Q^{n-1} и Q_1^{n-1} . На основе графа состояний и переходов рис. 52 составим таблицу переключений табл. 18.

Таблица 18

Таблица переключений основного и вспомогательного RS -триггеров в двухступенчатой схеме T -триггера

T^n	Q^{n-1}	Q_1^{n-1}	R^n	S^n	R_1^n	S_1^n
0	0	0	–	1	–	1
0	0	1	–	1	0	1
0	1	0	1	–	1	0
0	1	1	1	–	1	–
1	0	0	1	0	–	1
1	0	1	–	1	1	–
1	1	0	1	–	–	1
1	1	1	0	1	1	–

На рис. 53 согласно табл. 18 показаны карты Карно для логических функций управления RS -триггеров. Минимизированные выражения имеют вид:

$$R^n = \overline{T^n} + \overline{Q_1^n} = \overline{\overline{\overline{\overline{T^n} + \overline{Q_1^n}}}} = \overline{\overline{\overline{T^n \cdot Q_1^n}}}$$

$$S^n = \overline{T^n} + \overline{Q_1^n} = \overline{\overline{\overline{\overline{T^n} + \overline{Q_1^n}}}} = \overline{\overline{\overline{T^n \cdot Q_1^n}}}$$

$$R_1^n = T^n + \overline{Q^n} = \overline{\overline{\overline{\overline{T^n} + \overline{Q^n}}}} = \overline{\overline{\overline{T^n \cdot \overline{Q^n}}}}$$

$$S_1^n = T^n + \overline{Q^n} = \overline{\overline{\overline{\overline{T^n} + \overline{Q^n}}}} = \overline{\overline{\overline{T^n \cdot \overline{Q^n}}}}$$

Обозначение T -триггера показано на рис. 54, а, схема представлена на рис. 54, б. Двухступенчатая схема T -триггера состоит из двух RCS -триггеров (рис. 48, в) и инвертора.

$$Q^{n-1} Q_1^{n-1}$$

		00	01	11	10	
T^n	0	-	-	1	1	R^n
	1	1	-	0	1	

а)

		$Q^{n-1} Q_1^{n-1}$				
		00	01	11	10	
T^n	0	1	1	-	-	S^n
	1	0	1	1	-	

б)

		$Q^{n-1} Q_1^{n-1}$				
		00	01	11	10	
T^n	0	-	0	1	1	R_1^n
	1	-	1	1	-	

в)

		$Q^{n-1} Q_1^{n-1}$				
		00	01	11	10	
T^n	0	1	1	-	0	S_1^n
	1	1	-	-	1	

г)

Рис. 53. Карты Карно для логических функций управления RS -триггеров из табл. 18.

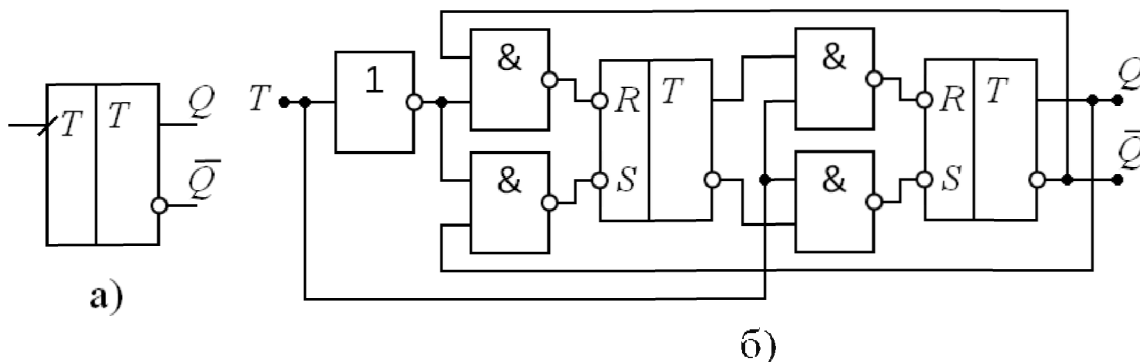


Рис. 54. T -триггер

Таблица переключений T -триггера представлена в табл. 19. По принципу функционирования данный триггер является делителем частоты следования импульсов входного сигнала с коэффициентом деления, равным двум.

Таблица 19

Таблица переключений T -триггера

T	Q^n
0	Q^{n-1}
1	Q^{n-1}
$0 \rightarrow 1$	$\overline{Q^{n-1}}$
$1 \rightarrow 0$	Q^{n-1}

3.3.2. D -, DV - И DRS -ТРИГГЕРЫ

Наиболее распространённым триггером с динамическим управлением является триггер задержки (delay) или D -триггер, условное обозначение которого показано на рис. 51, *a*. Триггер имеет вход данных D и вход синхронизации C . Этот триггер переходит в состояние, предписываемое сигналом на входе данных, только при появлении переключающего сигнала на входе синхронизации в виде положительного перепада $C = 0 \rightarrow 1$. Правило работы D -триггера можно записать в виде таблицы переключений, представленной в табл. 20. Так как информация на выходе D -триггера остаётся неизменной вплоть до прихода очередного переключающего сигнала

синхронизации, то данный триггер часто называют триггером задержки на один такт. Схему D -триггера можно построить на основе асинхронного D -триггера (рис. 50, б), как показано на рис. 52.

На основе D -триггера можно реализовать T -триггер. Для этого необходимо соединить инверсный выход с входом D , т.е. $D = \bar{Q}$, а в качестве тактового входа использовать вход синхронизации $C = T$.

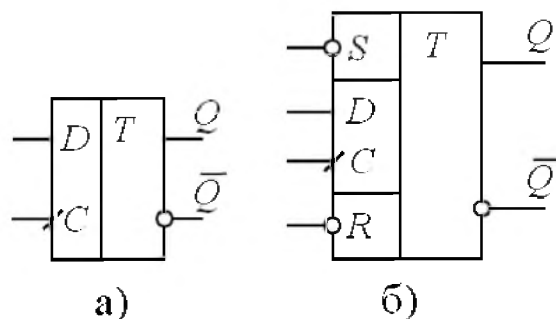


Рис. 51. Условные обозначения D -триггера и DRS -триггера

Таблица 20

Таблица переключений D -триггера

C	Q^n
0	Q^{n-1}
1	Q^{n-1}
$0 \rightarrow 1$	D^{n-1}
$1 \rightarrow 0$	Q^{n-1}

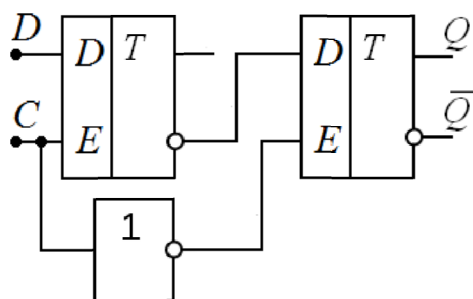


Рис. 52. Схема D -триггера с динамическим управлением на асинхронном D -триггере

Модификацией D -триггера является DV -триггер, имеющий дополнительный вход разрешения работы V . Управление по этому

входу имеет потенциальный характер. Если на вход V подаётся логическая единица, то DV -триггер функционирует как D -триггер, а при наличии логического нуля на входе V триггер сохраняет состояние при любых значениях сигналов на входах D и C . Тем самым наличие входа V даёт возможность сохранять информацию на выходе DV -триггер в течение необходимого числа тактов.

Другой разновидностью D -триггера является DRS -триггер – D -триггер с установкой и сбросом. Такой триггер имеет дополнительные входы асинхронной установки: входы R и S позволяют устанавливать триггер в состояние логической единицы или сбрасывать в состояние логического нуля аналогично RS -триггеру с переключающими сигналами уровня логического нуля. Если сигналы на обоих входах R и S равны логической единице, то состояние DRS -триггера зависит от сигналов на входах D и C . Одновременное воздействие логического нуля по обоим входам R и S должно быть исключено (запрещённое состояние). Условное обозначение DRS -триггера показано на рис. 51, б.

3.3.3. СИНТЕЗ ТРИГГЕРНЫХ СХЕМ

Рассмотрим синтез последовательностной схемы на примере D -триггера. Исходными данными для синтеза является таблица переключений, представленная в табл. 20. На первом этапе необходимо получить таблицу состояний и переходов. Поскольку заранее неизвестно количество элементов памяти то, следовательно, необходимо учитывать максимально возможное число внутренних состояний Z . Число столбцов таблицы состояний и переходов определяется количеством различных состояний входных сигналов схемы. Для D -триггера, который имеет два входа, множество состояний сигналов входов состоит из четырех элементов:

$$\{CD\} = \{00,01,11,10\}.$$

Максимально возможное количество внутренних состояний соответствует первоначальному числу строк таблицы состояний и переходов. Если каждому из возможных состояний входов при

каждом из состояний выходов D -триггера $\{Q\} = \{0,1\}$ поставить в соответствие одно внутреннее состояние Z , то таблица состояний и переходов будет содержать 8 строк. Первоначальная таблица состояний и переходов D -триггера показана на рис. 53. Внутренние состояния пронумерованы в десятичном коде. Переход из одного внутреннего состояния в другое возможен при изменении значений входных сигналов, но в каждый момент времени может происходить изменение только одного из входных сигналов. Поэтому ячейки таблицы состояний и переходов, соответствующие изменению сразу двух входных сигналов для каждой из строк, заполнены символом неопределенного состояния «-», поскольку представляют физически не реализуемые переходы.

Z	CD				Q
	00	01	11	10	
1	1		-		0
2		2		-	
3	-		3		
4		-		4	
5	5		-		1
6		6		-	
7	-		7		
8		-		8	

Рис. 53. Первоначальная таблица состояний и переходов D -триггера

Рассмотрим первую строку таблицы состояний и переходов D -триггера (рис. 53). Исходно $Z = 1$ и $Q = 0$. Первая ячейка данной строки представляет результат воздействия входных сигналов $C = 0$, $D = 0$ и соответствует устойчивому состоянию $Z = 1$ с состоянием выхода $Q = 0$. В каждой из остальных строк таблицы состояний и переходов (рис. 53) указаны устойчивые состояния 2–4 с $Q = 0$ и 5–8 с $Q = 1$ при соответствующих им комбинациях входных сигналов.

Заполним остальные ячейки таблицы состояний и переходов D -триггера. Рассмотрим, например, вторую строку, которая

соответствует устойчивому состоянию $Z = 2$ при $C = 0$, $D = 1$ и $Q = 0$. Первая ячейка второй строки соответствует изменению входного сигнала D , который переключился и стал $D = 0$. Согласно таблице переключений D -триггера (табл. 20) изменения выходного сигнала Q при таком воздействии не происходит, т.е. триггер должен оказаться в состоянии, когда $C = 0$, $D = 0$ и $Q = 0$, что соответствует внутреннему состоянию $Z = 1$. Третья ячейка второй строки соответствует изменению входного сигнала C , который переключился и стал $C = 1$. Согласно таблице переключений D -триггера (табл. 20) при $C = 0 \rightarrow 1$ выходной сигнал Q при таком воздействии определяется значением сигнала на входе D , т.е. триггер должен оказаться в состоянии когда $C = 1$, $D = 1$ и $Q = 1$, что соответствует внутреннему состоянию $Z = 7$. Рассуждая подобным образом заполняем оставшиеся ячейки. Полученная после этого таблица состояний и переходов показана на рис. 54.

Z	CD				Q
	00	01	11	10	
1	1	2	–	4	0
2	1	2	7	–	
3	–	2	3	4	
4	1	–	3	4	
5	5	6	–	4	1
6	5	6	7	–	
7	–	6	7	8	
8	5	–	7	8	

Рис. 54. Заполненная первоначальная таблица состояний и переходов D -триггера

Сложность последовательностной схемы зависит от количества внутренних состояний (числа строк в таблице состояний и переходов), которое целесообразно минимизировать. Для этого выполняют объединение строк в таблице состояний и переходов в соответствии со следующими правилами. Две строки (или более) могут быть

объединены, если при одинаковых значениях выходных сигналов в соответствующих столбцах номера внутренних состояний одинаковы или на одной из строк имеется символ неопределенного состояния. Если одна из объединяемых строк содержит номер внутреннего состояния, а другая символ неопределенного состояния, то в объединенной строке должен стоять номер внутреннего состояния. После проведения объединения строк внутренние состояния в таблице состояний и переходов следует перенумеровать, присваивая один и тот же номер тем внутренним состояниям, строки которых были объединены. Для полученной на рис. 54 таблицы состояний и переходов D -триггера возможно предложить два способа объединения строк (внутренних состояний), показанные на рис. 55. Отметим, что в случае рис. 55, б в таблице присутствуют неопределенные состояния.

Z	CD				Q
	00	01	11	10	
1, 2	1	2	7	4	0
3, 4	1	2	3	4	
5, 6	5	6	7	4	1
7, 8	5	6	7	8	

⇓

Z	CD				Q
	00	01	11	10	
1	1	1	4	2	0
2	1	1	2	2	
3	3	3	4	2	1
4	3	3	4	4	

а)

Z	CD				Q
	00	01	11	10	
1, 3, 4	1	2	3	4	0
2	1	2	7	–	
6, 7, 8	5	6	7	8	1
5	5	6	–	4	

⇓

Z	CD				Q
	00	01	11	10	
1	1	2	1	1	0
2	1	2	3	–	
3	4	3	3	3	1
4	4	3	–	1	

б)

Рис. 55. Таблица состояний и переходов D -триггера

Рассмотрим дальнейший синтез схемы на примере таблицы рис. 55, б. Граф состояний и переходов показан на рис. 56. Проведём кодирование внутренних состояний, считая, что в схему входят два элемента памяти в виде RS -триггеров с переключающими сигналами

уровня логического нуля: основной и вспомогательный с выходами Q и Q_1 соответственно. Кодированная таблица показана на рис. 57.

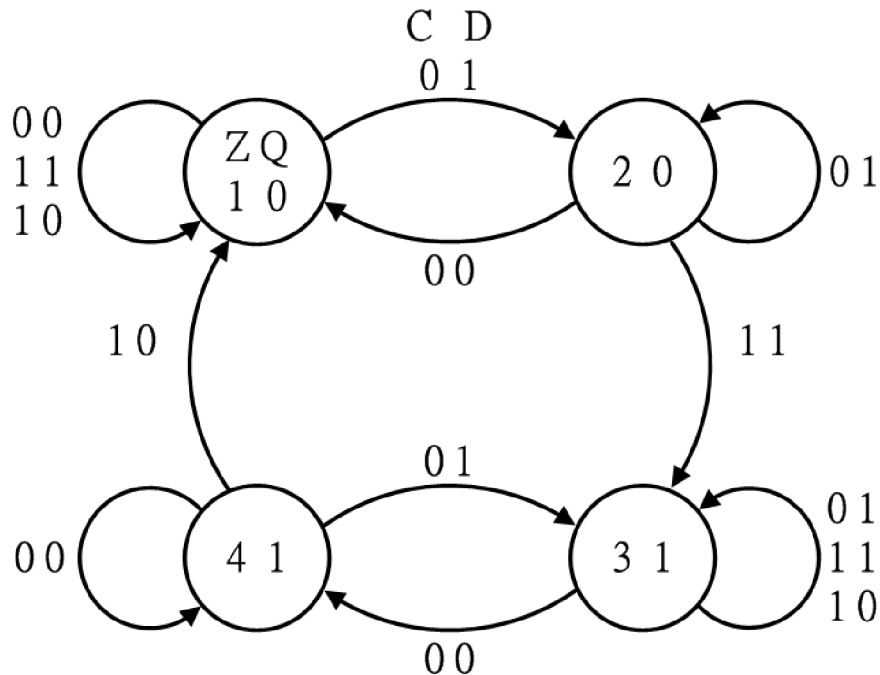


Рис. 56. Граф состояний и переходов D - триггера для таблицы рис. 41, б

$Z = QQ_1$	CD				Q
	00	01	11	10	
00	00	01	00	00	0
01	00	01	11	—	
11	10	11	11	11	1
10	10	11	—	00	

Рис. 57. Кодированная таблица состояний и переходов D -триггера

Преобразуем кодированную таблицу состояний и переходов D -триггера в таблицу функций переходов основного и вспомогательного триггеров. Переход триггера из состояния 0 в состояние 0 т.е. $Q = 0 \rightarrow Q = 0$ обозначим 0, переход $Q = 0 \rightarrow Q = 1$ представим символом Δ , переход $Q = 1 \rightarrow Q = 1$ обозначим 1, переход $Q = 1 \rightarrow Q = 0$ представим символом ∇ . Таблица функций переходов представлена на рис. 58.

На основе таблицы переключений асинхронного RS -триггера с переключающими сигналами уровня логического нуля (табл. 12)

составим таблицу для определения входных сигналов для каждого перехода триггера, которая приведена в табл. 21.

Q_1	$C D$			
	00	01	11	10
00	00	0Δ	00	00
01	0∇	01	Δ1	–
11	1∇	11	11	11
10	10	1Δ	–	∇0

Рис. 58. Таблица функций переходов основного и вспомогательного триггеров схемы D -триггера

Таблица 21

Таблица переходов и входных сигналов асинхронного RS -триггера с переключающими сигналами уровня логического нуля

Q	R	S
0	–	1
Δ	1	0
1	1	–
∇	0	1

Исходя из таблицы рис. 58 с использованием таблицы переходов и входных сигналов асинхронного RS -триггера с переключающими сигналами уровня логического нуля получим карты Карно для входных сигналов основного и вспомогательного триггеров схемы D -триггера. Эти карты показаны на рис. 59. Минимизированные выражения имеют вид:

$$R = \overline{C} + Q_1 = \overline{\overline{\overline{C}} + \overline{\overline{Q_1}}} = \overline{\overline{C} \cdot \overline{Q_1}}$$

$$S = \overline{C} + \overline{Q_1} = \overline{\overline{\overline{C}} + \overline{\overline{Q_1}}} = \overline{\overline{C} \cdot Q_1}$$

$$R_1 = C + D = \overline{\overline{\overline{C}} + \overline{\overline{D}}} = \overline{\overline{C} \cdot \overline{D}}$$

$$S_1 = C + \overline{D} = \overline{\overline{\overline{C}} + \overline{\overline{\overline{D}}}} = \overline{\overline{C} \cdot D}.$$

Схема D -триггера в соответствии с полученными выражениями для сигналов основного и вспомогательного триггеров показана на рис.60.

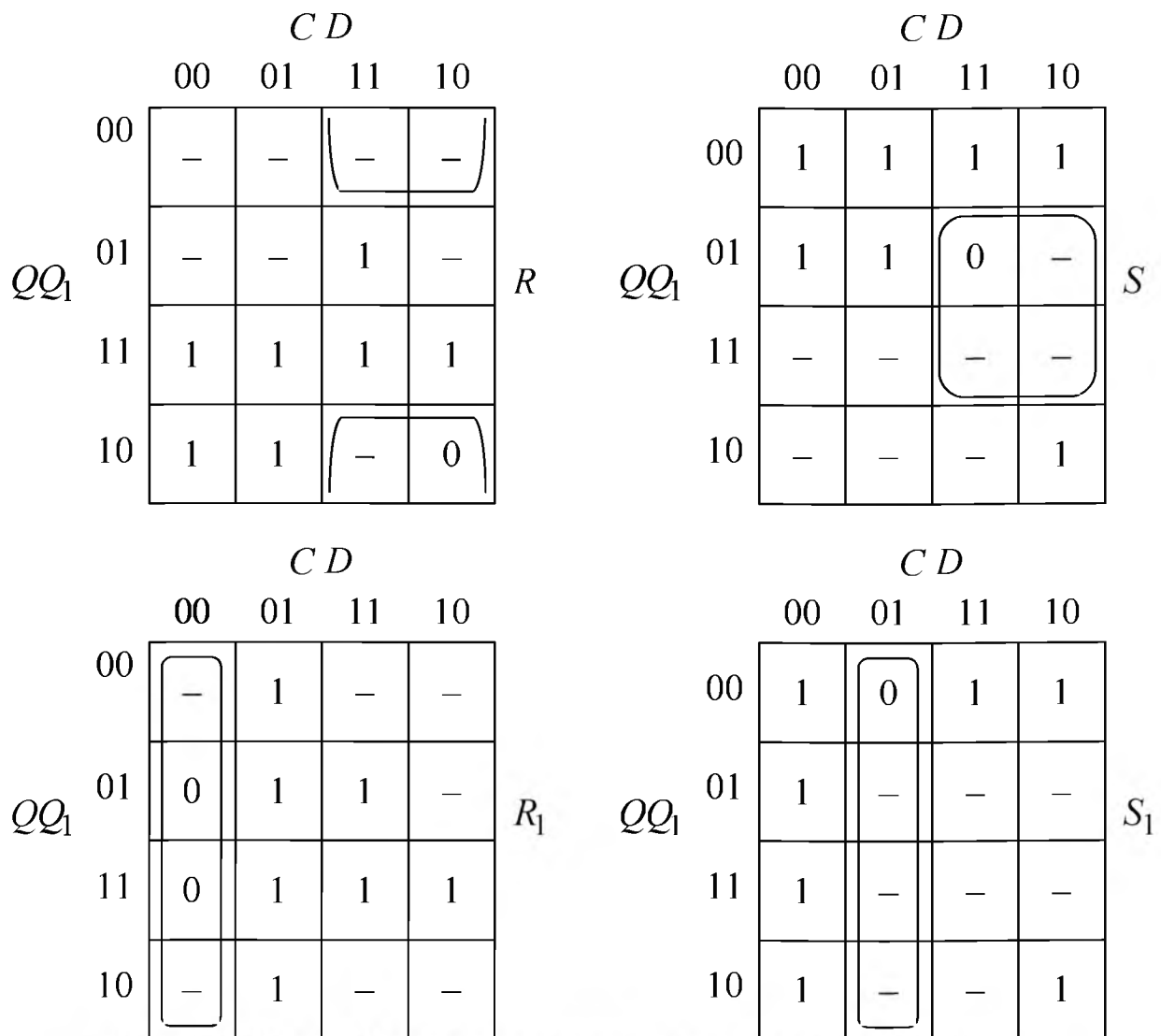


Рис. 59. Карты Карно для входных сигналов основного и вспомогательного триггеров схемы D -триггера.

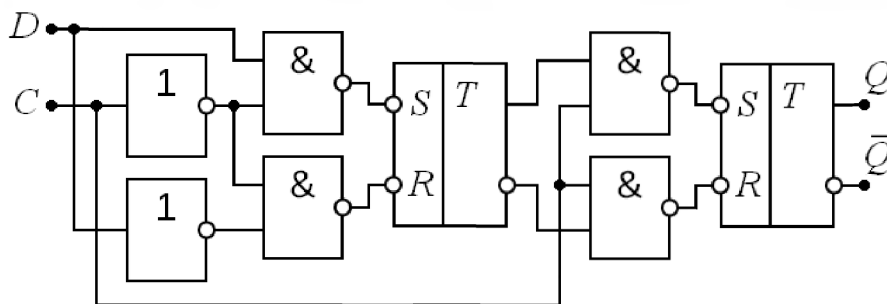


Рис. 60. Схема D -триггера

3.3.4. D -ТРИГГЕР НА ОСНОВЕ ПРОХОДНЫХ ТРАНЗИСТОРОВ

Двухступенчатая схема D -триггера на основе комплементарных ключей (проходных транзисторов с дополнительным управлением по стоку или истоку) и инверторов показана на рис. 61. Если сигнал на

входе синхронизации C имеет уровень логического нуля, то ключи на транзисторах $T1$ и $T2$, $T11$ и $T12$ замкнуты. Данные с входа D попадают на вход инвертора на транзисторах $T5$ и $T6$, на выходе которого формируется сигнал инверсный сигналу на входе D . Ключи на транзисторах $T3$ и $T4$, $T9$ и $T10$ в этот момент времени разомкнуты. После переключения сигнала на входе синхронизации из состояния логического нуля в состояние логической единицы ключи на транзисторах $T1$ и $T2$, $T11$ и $T12$ разомкнуты, а ключи на транзисторах $T3$ и $T4$, $T9$ и $T10$ замкнуты. За счёт замкнутого ключа на транзисторах $T3$ и $T4$ на выходе инвертора на транзисторах $T5$ и $T6$ фиксируется сигнал, инверсный сигналу на входе D , который через замкнутый ключ на транзисторах $T9$ и $T10$ передаётся на вход инвертора на транзисторах $T13$ и $T14$. При этом на выходе Q оказывается сигнал, совпадающий по логическому состоянию с сигналом на входе D , а на выходе \bar{Q} – сигнал, инверсный сигналу на входе D .

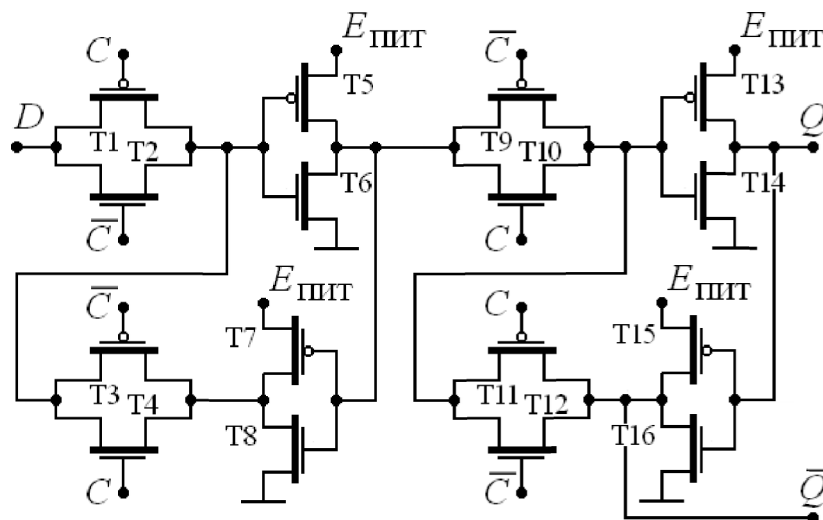


Рис. 61. Схема D -триггера на основе проходных транзисторов

Далее, после переключения сигнала на входе синхронизации C из состояния логической единицы в состояние логического нуля (рис. 61), ключи на транзисторах $T3$ и $T4$, $T9$ и $T10$ оказываются разомкнутыми, а ключи на транзисторах $T1$ и $T2$, $T11$ и $T12$ – замкнутыми. За счёт замкнутого ключа на транзисторах $T11$ и $T12$ фиксируются сигналы на выходах D -триггера. Вид сигналов в схеме

во временной области показан на рис. 62. Используя схему рис. 61, можно реализовать T -триггер на основе проходных транзисторов. Для этого необходимо соединить инверсный выход с входом D , т.е. $D = \bar{Q}$, а в качестве тактового входа использовать вход синхронизации $C = T$.

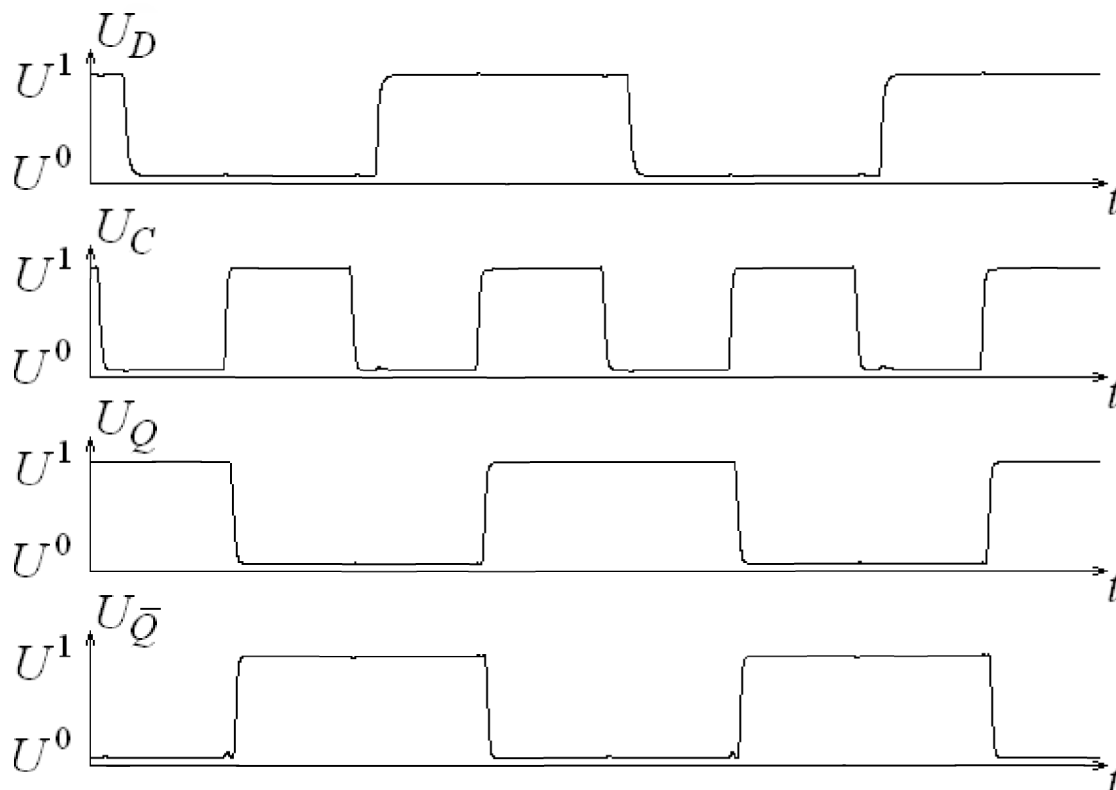


Рис. 62. Временные диаграммы работы D -триггера

3.3.5. JK-ТРИГГЕР

Как было отмечено ранее, среди синхронных триггерных схем наибольшее распространение получил D -триггер как основа современных интегральных цифровых схем. Однако в некоторых случаях может оказаться более подходящим универсальный синхронный JK -триггер, обозначение которого показано на рис. 63, a , имеет входы J и K аналогичные по выполняемым функциям входам S и R соответственно RS -триггера с переключающими сигналами уровня логической единицы. Одновременное воздействие логической единицы по обоим входам J и K считается допустимым и приводит к переключению триггера в противоположное состояние.

Переключающим сигналом по входу синхронизации C является положительный перепад $C = 0 \rightarrow 1$. Таблица переключений JK -триггера представлена в табл. 22, схема на элементах «И-НЕ» показана на рис. 63, б. Вид сигналов в схеме во временной области показан на рис. 64.

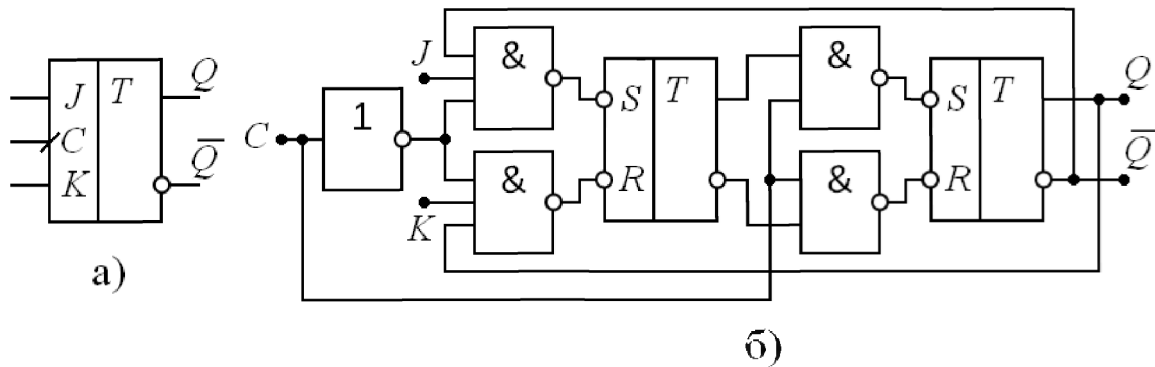


Рис. 63. Схема JK -триггера

Таблица 22

Таблица переключений JK -триггера

C	J^n	K^n	Q^n
0	—	—	Q^{n-1}
1	—	—	Q^{n-1}
$1 \rightarrow 0$	—	—	Q^{n-1}
$0 \rightarrow 1$	0	0	Q^{n-1}
$0 \rightarrow 1$	0	1	0
$0 \rightarrow 1$	1	0	1
$0 \rightarrow 1$	1	1	$\overline{Q^{n-1}}$

На основе JK -триггера можно реализовать T - и D -триггер. Так, при наличии логической единицы на обоих входах $J = K = 1$ схема выполняет функции T -триггера $C = T$, а при $J = \overline{K}$ реализуется D -триггер, у которого функцию входа данных выполняет вход $J = D$. При необходимости JK -триггер может быть дополнен входами асинхронной установки R и S (по аналогии с DRS -триггером). Такая модификация является $JKRS$ -триггером.

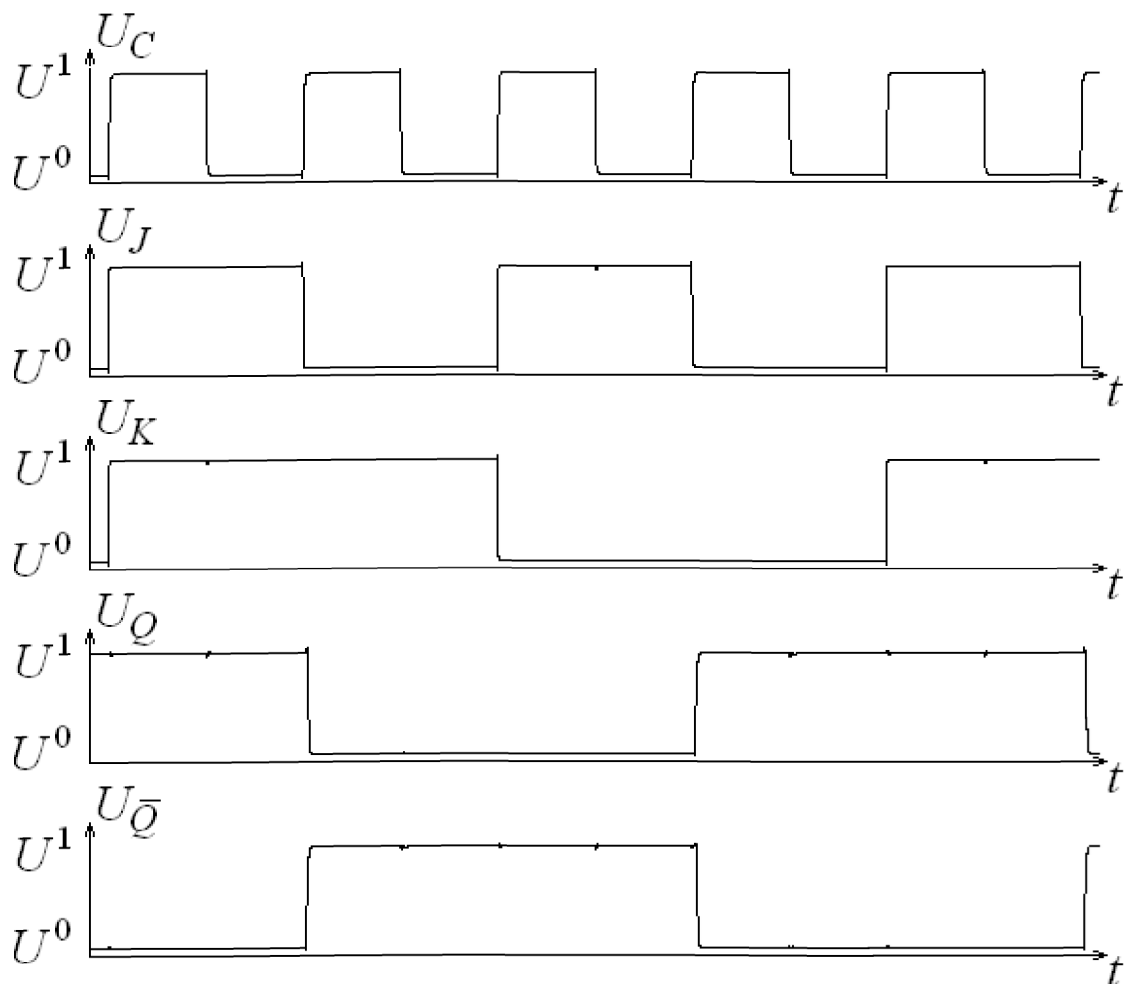


Рис. 64. Временные диаграммы работы JK -триггера

3.5. РЕГИСТРЫ

Основная функция регистра заключается в хранении многоразрядного двоичного слова. Обычно регистры имеют регулярную структуру и состоят из однотипных блоков – схем разрядов. Каждый разряд регистра предназначен для хранения одного разряда двоичного слова и содержит элемент памяти, обычно, на основе D -триггера. По способам организации записи и считывания различают следующие типы регистров:

- параллельные: запись и считывание данных во всех разрядах производятся одновременно;
- последовательные – регистры сдвига: запись и считывание данных осуществляются последовательно разряд за разрядом;

- реверсивные регистры сдвига: направление сдвига чисел в них может быть изменено в зависимости от управляющих сигналов;
- параллельно-последовательные: запись производится параллельно, а считывание – последовательно;
- последовательно-параллельные: запись осуществляется последовательно, а считывание – параллельно.

3.5.1. ПАРАЛЛЕЛЬНЫЙ РЕГИСТР

Параллельный регистр, показанный на рис. 65, представляет совокупность D -триггеров. Каждый триггер хранит один разряд входного кода X_i в течение периода тактового сигнала C . Выходные сигналы регистра Y_i остаются неизменными между перепадами тактового сигнала $C = 0 \rightarrow 1$. Как видно из схемы, на каждом такте выходные сигналы регистра будут обновляться в соответствии состоянием входного кода на момент прихода положительного перепада тактового сигнала. То есть при $C = 0 \rightarrow 1$ выходной сигнал $Y_i^n = X_i^{n-1}$. При всех остальных состояниях сигнала C выходной сигнал $Y_i^n = Y_i^{n-1}$.

Если необходимо обеспечивать сохранение состояния регистра на период времени, превышающий один такт, то в схему параллельного регистра вводят сигнал разрешения записи W (Write). Схема регистра с сигналом разрешения записи представлена на рис. 66. Блоками в форме трапеции обозначены мультиплексоры с управляющим сигналом W . При уровне сигнала на входе W соответствующем логической единице, сигналы X_i оказываются на выходах мультиплексоров и поступают на входы D -триггеров. При уровне сигнала на входе W соответствующем логическому нулю, на выходах мультиплексоров оказываются сигналы Y_i , и D -триггеры не изменяют своё состояние. Вид сигналов в схеме во временной области показан на рис. 67.

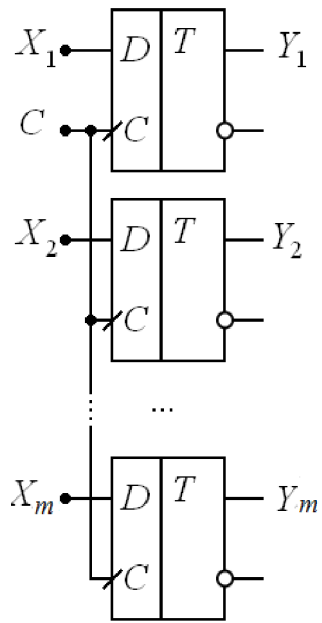


Рис. 65. Параллельный регистр

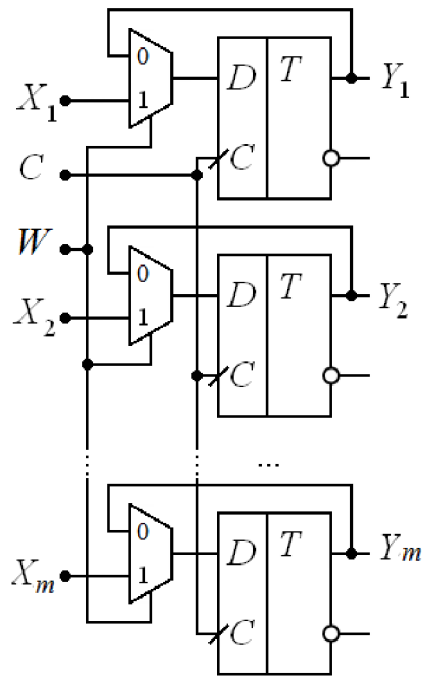


Рис. 66. Параллельный регистр с сигналом разрешения записи

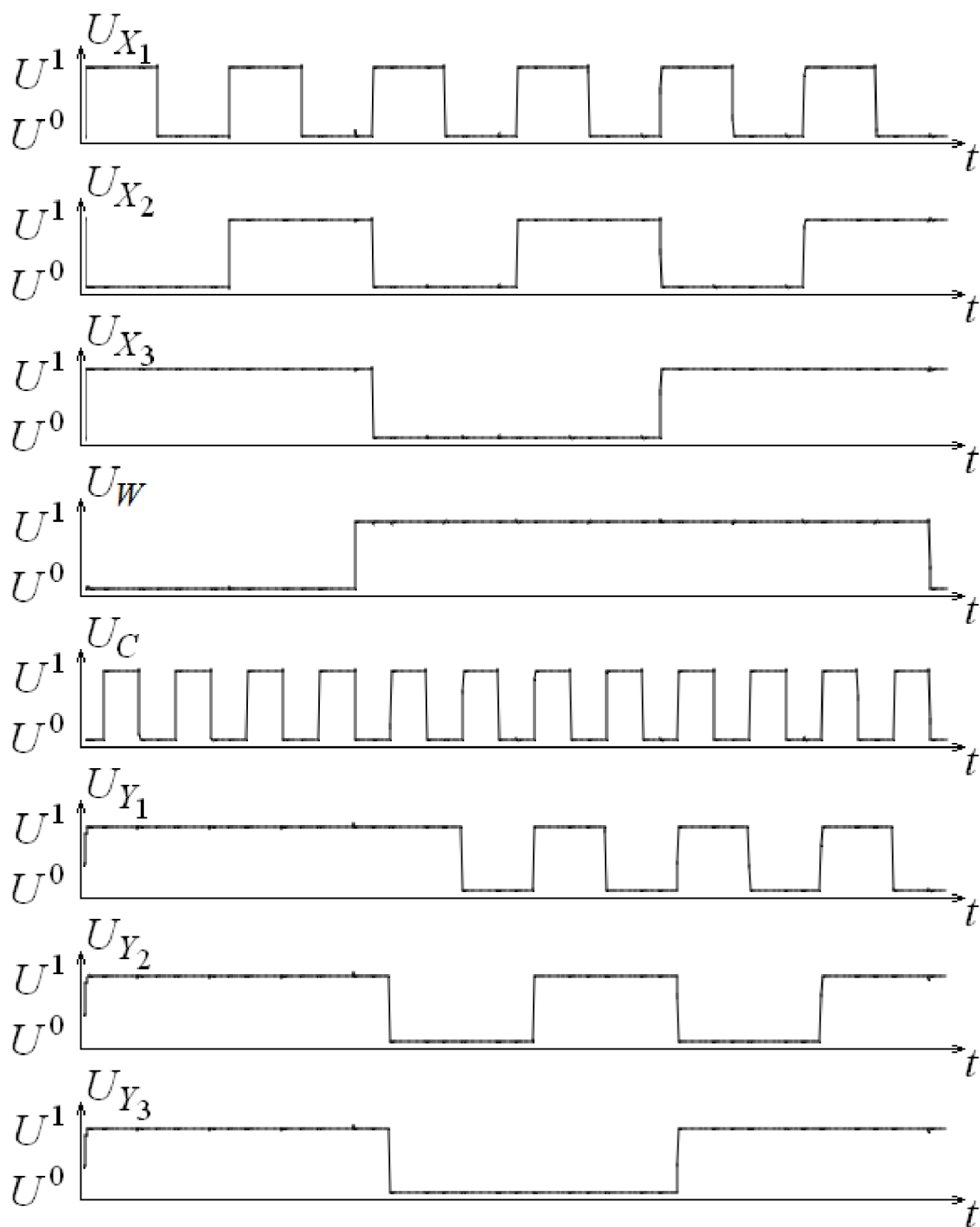


Рис. 67. Временные диаграммы работы параллельного регистра с сигналом разрешения записи

3.4.2. РЕГИСТР СДВИГА

Регистр сдвига представляет совокупность однотипных разрядных ячеек, включённых последовательно друг за другом. Схема

регистра сдвига показана на рис. 68. Регистр имеет информационный вход данных X , выходной сигнал Q и вход тактового сигнала C . Правило работы для i -го и $i-1$ -го разрядов можно записать в следующем виде. Если при $C = 0 \rightarrow 1$ происходит сдвиг $Q_i^n = Q_{i-1}^{n-1}$, а при всех остальных состояниях C - хранение $Q_i^n = Q_i^{n-1}$. Вид сигналов в схеме во временной области показан на рис. 69.

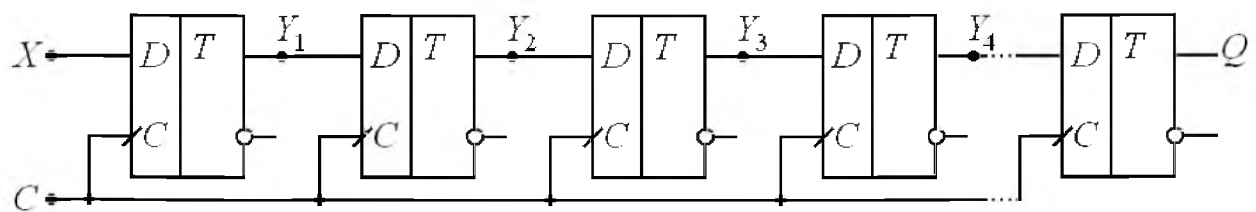


Рис. 68. Регистр сдвига

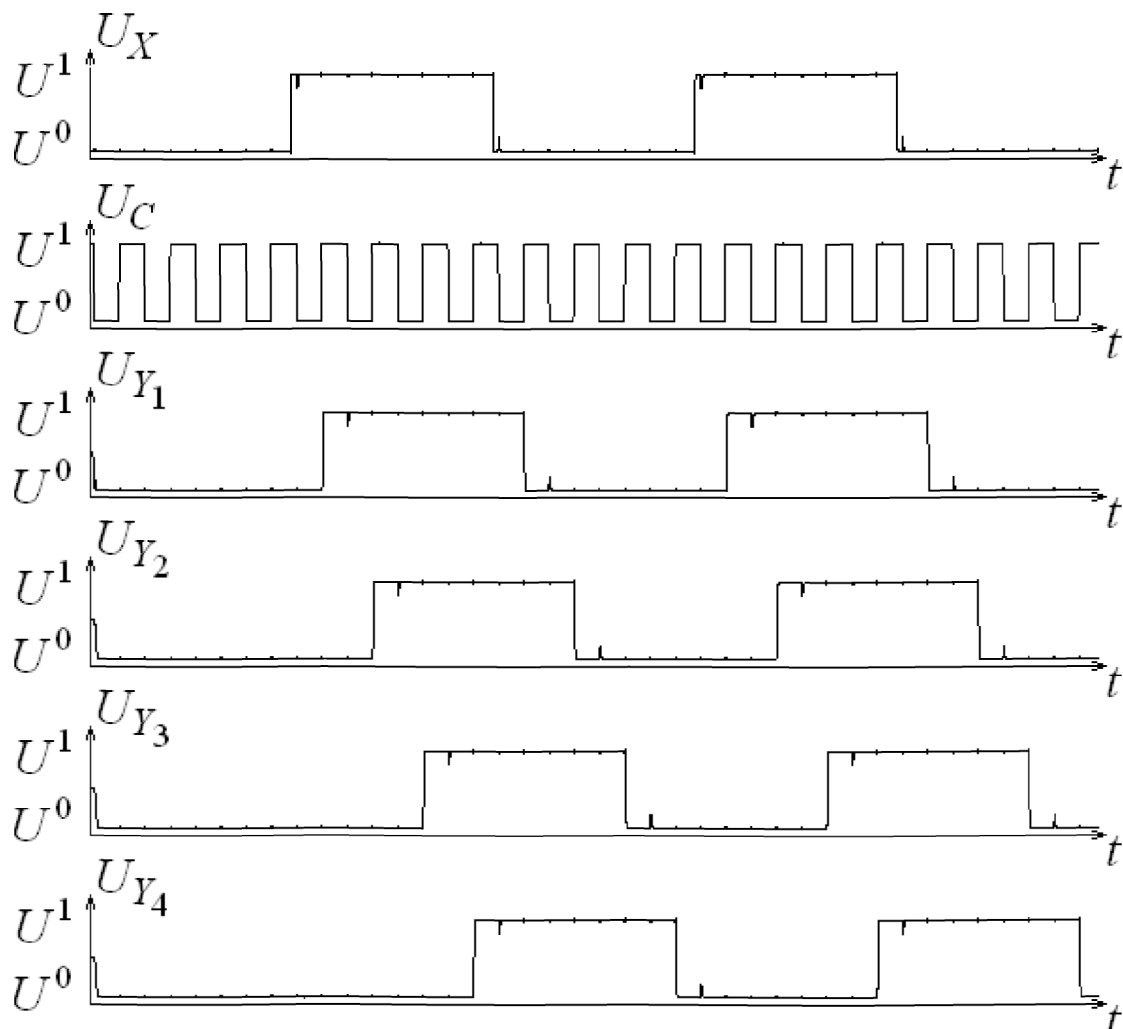


Рис. 69. Временные диаграммы работы регистра сдвига

3.4.3. РЕВЕРСИВНЫЙ РЕГИСТР СДВИГА

Реверсивный регистр сдвига, показанный на рис. 70, представляет регистр, в котором направление сдвига определяется управляющим сигналом на входе C_2 . Схема содержит D -триггеры и элементы коммутации «И-ИЛИ-НЕ». При сдвиге данных в прямом направлении $C_2 = 1$, элемент коммутации должен передавать сигнал с выхода $i-1$ -го триггера на вход i -го, т.е. $D_i = Q_{i-1}$, а при сдвиге в обратную сторону при $C_2 = 0$ – с выхода $i+1$ -го на вход i -го, т.е. $D_i = Q_{i+1}$. Вид сигналов в схеме во временной области показан на рис. 71.

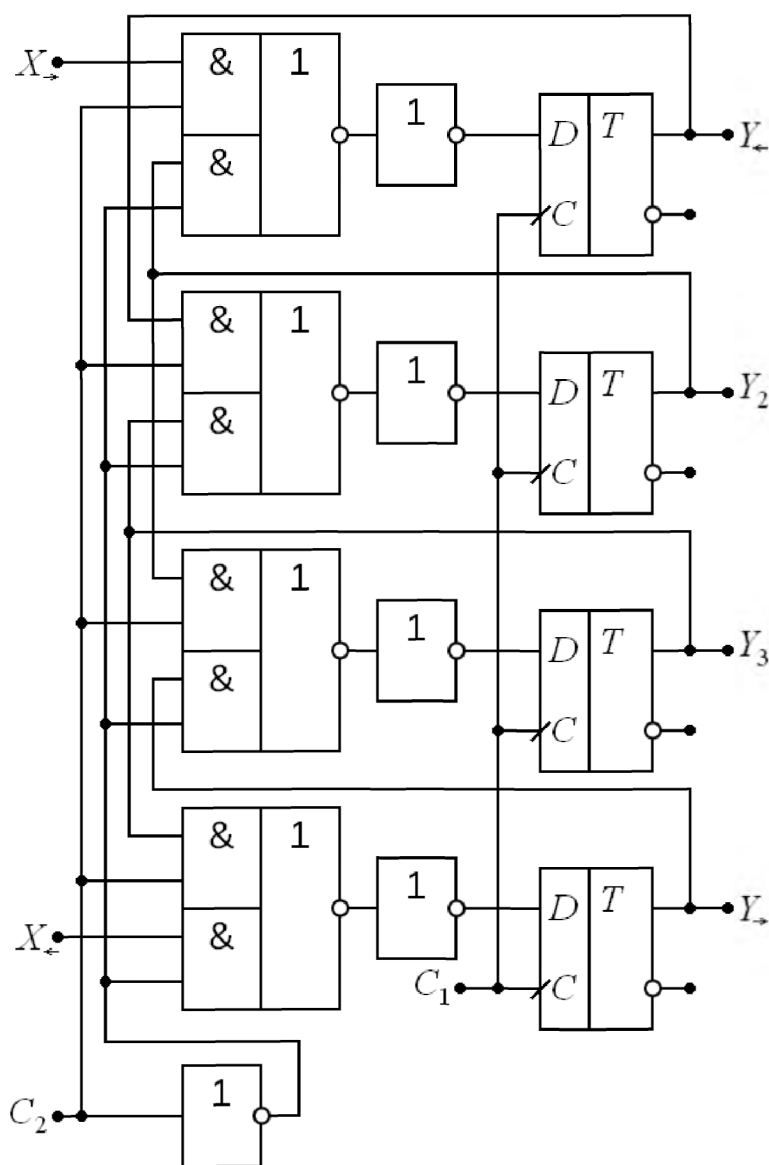


Рис. 70. Реверсивный регистр сдвига

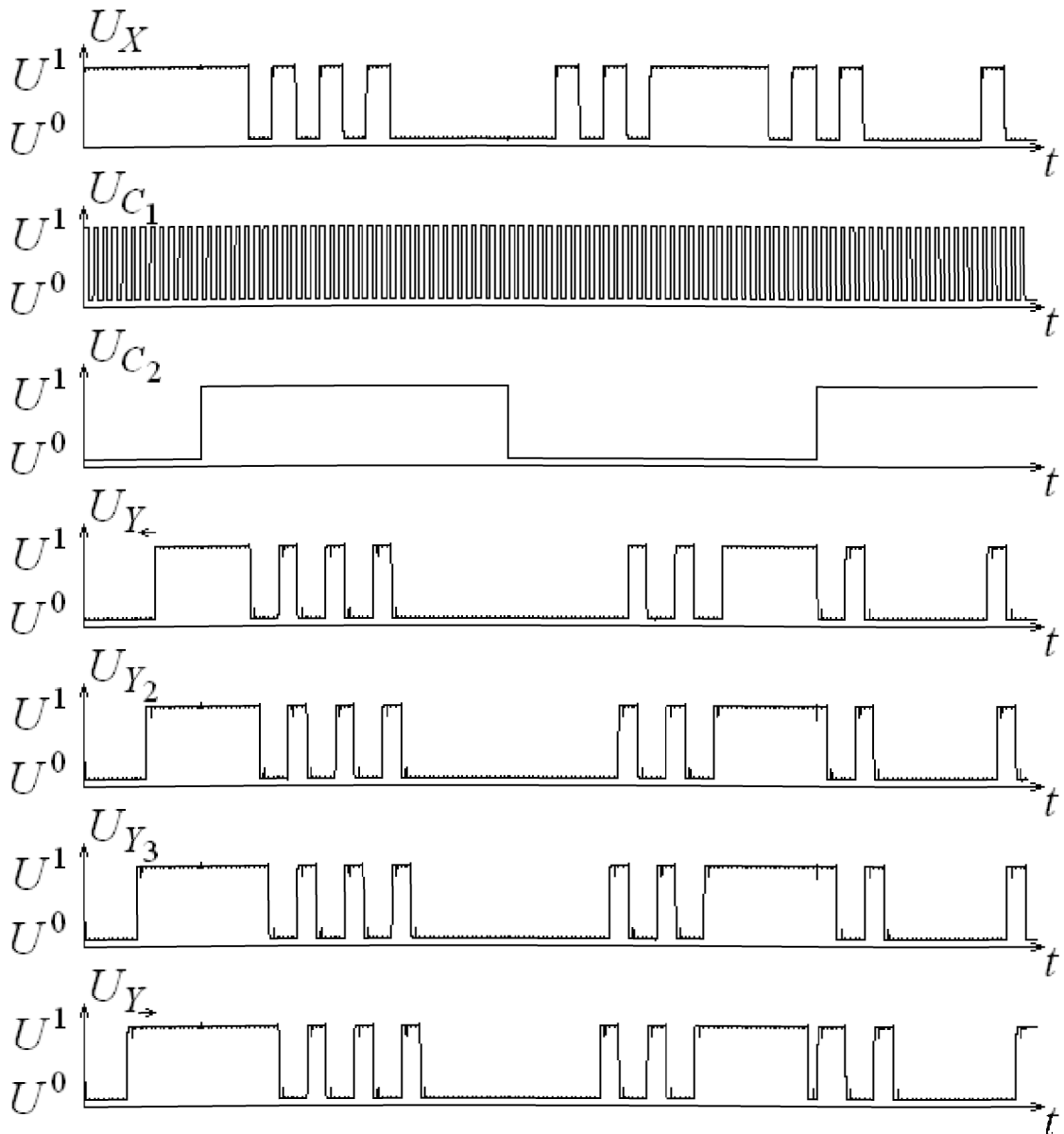


Рис. 71. Временные диаграммы работы реверсивного регистра сдвига

3.4.4. ПАРАЛЛЕЛЬНО-ПОСЛЕДОВАТЕЛЬНЫЙ РЕГИСТР

Параллельно-последовательный регистр (рис. 72) строится подобно параллельному регистру с разрешением записи. Отличие состоит в том, что при сигнале разрешения записи $W=0$ на вход D -триггера подаётся сигнал не с выхода текущего триггера, а сигнал с выхода предыдущего триггера. Таким образом, на каждом периоде тактового сигнала C происходит перемещение информации от одного D -триггера к другому. При сигнале разрешения записи $W=1$ на вход

каждого D -триггера подаётся информация со входов X_i . Такой регистр позволяет осуществить преобразование параллельного кода в последовательный. Вид сигналов в схеме во временной области показан на рис. 73.

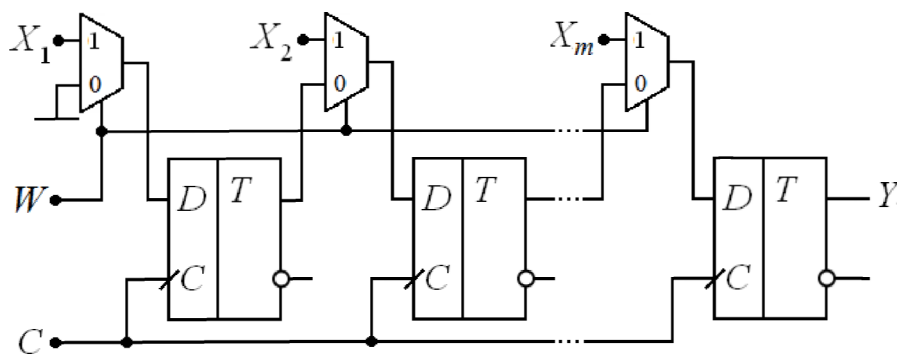


Рис. 72. Параллельно-последовательный регистр

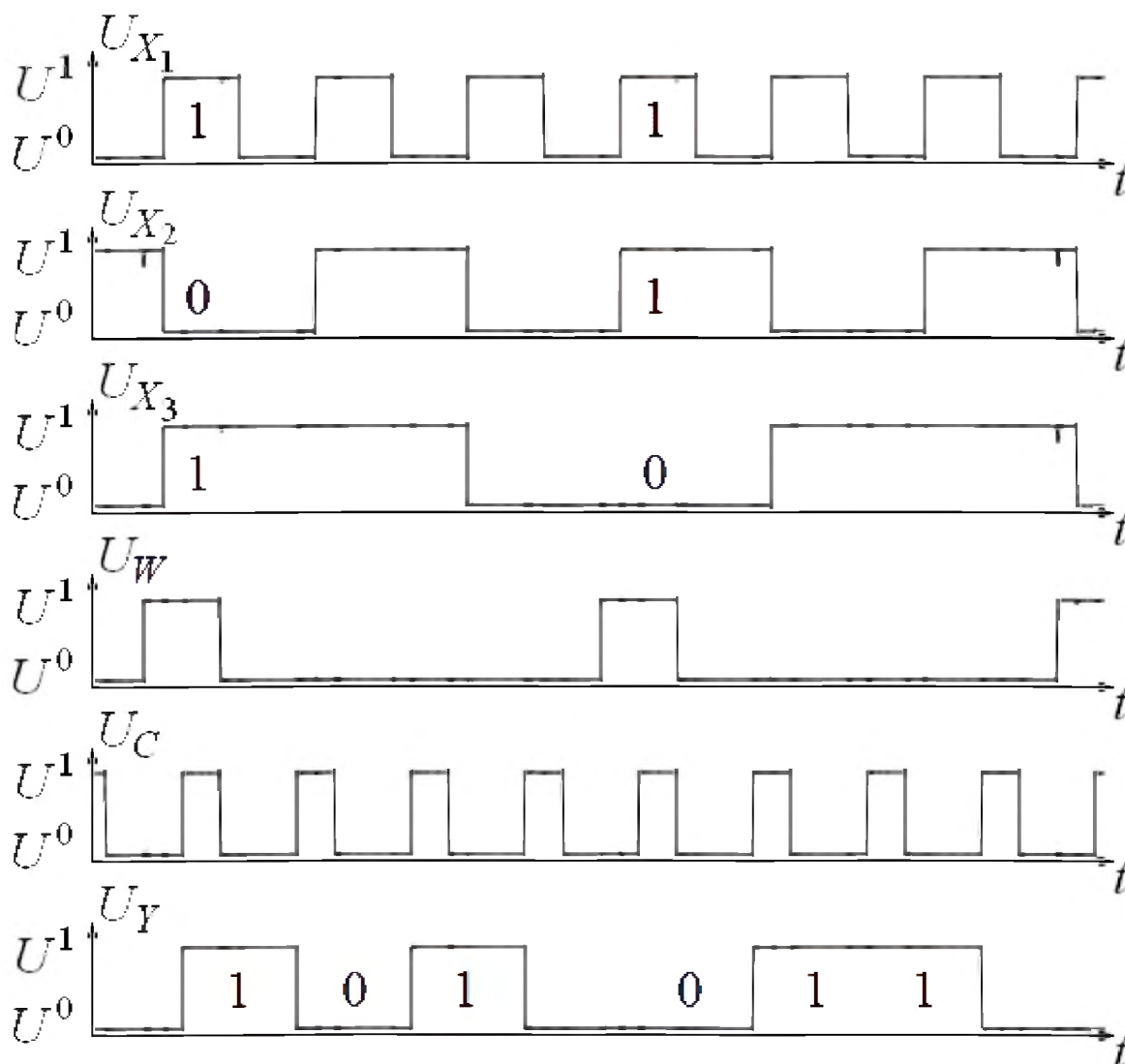


Рис. 73. Временные диаграммы работы параллельно-последовательного регистра

3.4.5. ПОСЛЕДОВАТЕЛЬНО-ПАРАЛЛЕЛЬНЫЙ РЕГИСТР

Последовательно-параллельный регистр (рис. 74), как и регистр сдвига, имеет вход X для последовательного ввода данных, m выходов Y_i , вход тактового сигнала C и сигнал разрешения записи W . Такой регистр представляет объединение регистра сдвига и параллельного регистра с разрешением записи. По перепаду тактового сигнала $C=0 \rightarrow 1$ данные в регистре сдвига со входа D переносятся от одного D -триггера к другому. Сигнал разрешения в этот момент $W=0$, что обеспечивает неизменность выходного кода на время последовательной загрузки данных. Когда все разряды загружены в регистр сдвига, приходит сигнал $W=1$, разрешая на ближайшем такте запись кода в выходной параллельный регистр. Вид сигналов в схеме во временной области показан на рис. 75.

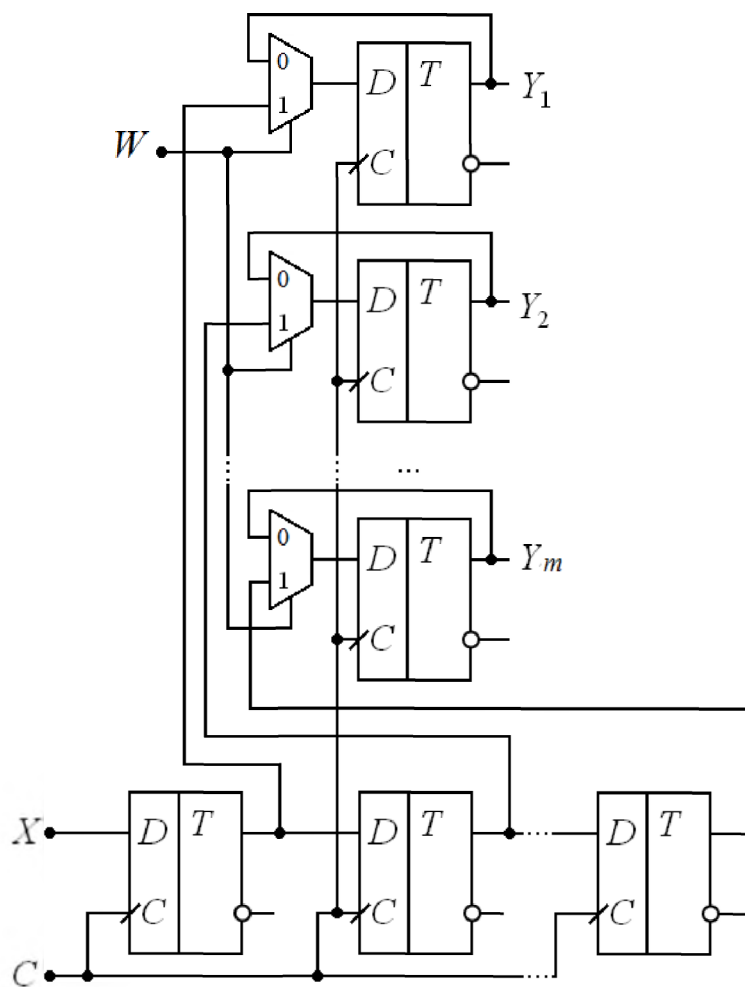


Рис. 74. Последовательно-параллельный регистр

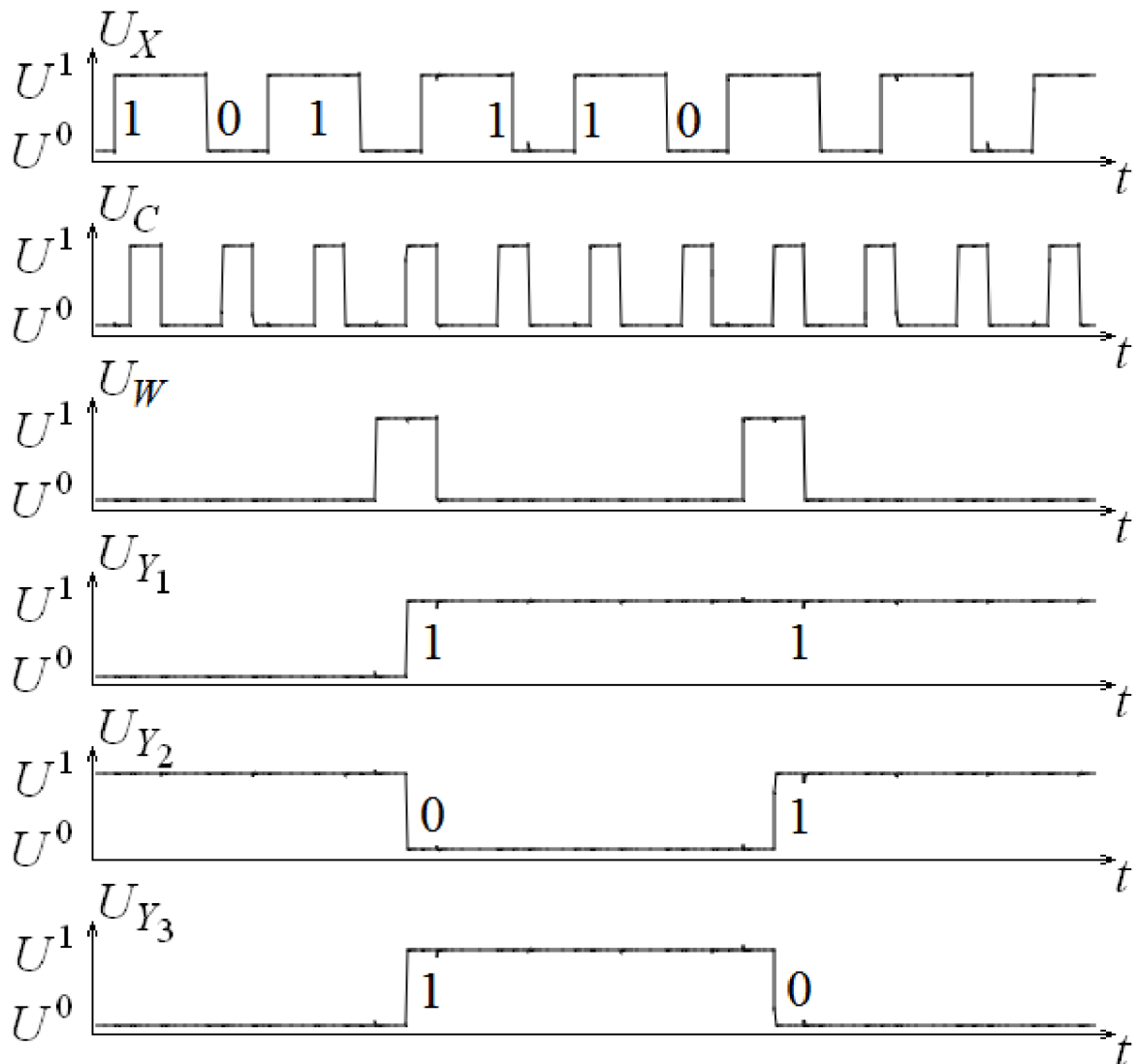


Рис. 75. Временные диаграммы работы последовательно-параллельного регистра

3.5. СЧЕТЧИКИ

Счётчиком называется последовательная схема, имеющая несколько состояний. Текущее состояние счётчика определяется предыдущим его состоянием и значением логической переменной на входе. По мере поступления входных сигналов счётчик последовательно изменяет свои состояния в определённом циклическом порядке, возвращаясь к началу цикла после каждых K входных сигналов. Значение K , соответствующее числу состояний счётчика, является коэффициентом пересчёта. Рассмотрим счётчики,

построенные на основе триггеров. Код числа, записанного в счётчик, состоящий из m триггеров, отражает состояния триггеров и может быть представлен в следующем виде $Q = Q_m Q_{m-1} \dots Q_2 Q_1$, где Q_i – состояние i -го триггера. Одно из возможных состояний счётчика принимается за начальное (исходное) – Q^0 . Запись Q^n соответствует состоянию счётчика после поступления на его вход n -го входного сигнала. Если порядок смены состояний триггеров соответствует последовательности двоичных чисел и число состояний счётчика соответственно равно $K = 2^m$, счётчик называют двоичным.

3.5.1. ДВОИЧНЫЕ СЧЕТЧИКИ

В двоичных счётчиках с последовательным переносом входной сигнал воздействует только на первый триггер, и каждый предыдущий триггер вырабатывает переключающий сигнал для последующего. Достоинствами таких счётчиков являются простота реализации схемы и возможность наращивания разрядности. В суммирующем счётчике с последовательным переносом каждый входной импульс увеличивает значение двоичного числа, записанного в счётчик, на единицу младшего разряда. Работает счётчик согласно следующему правилу: $Q^n = Q^{n-1} + 1$, если $Q^{n-1} \neq 2^m - 1$, и $Q^n = 0$, если $Q^{n-1} = 2^m - 1$. Таблица переключений суммирующего четырёхразрядного счётчика ($m = 4$) представлена в табл. 23.

Используя таблицу переключений, можно определить требуемый тип триггера, ориентируясь на значения столбца Q_1^n , после чего выявить способ соединения триггеров. Очевидно, что первым должен быть T -триггер, так как он должен переключаться каждым входным сигналом. Поскольку из табл. 23 следует, что второй триггер изменяет своё состояние, когда на выходе первого уровень логической единицы переходит в уровень логического нуля, то необходимо сигнал на вход второго триггера подать с инверсного выхода первого T -триггера. Аналогичные условия работы будут у

третьего и четвёртого T -триггеров. Схема двоичного суммирующего четырёхразрядного счётчика с последовательным переносом показана на рис. 76. Вид сигналов в схеме во временной области представлен на рис. 77. Реализация схемы также возможна при использовании D - и JK -триггеров, работающих в режиме T -триггера.

Таблица 23

Таблица переключений суммирующего четырёхразрядного двоичного счётчика

n	Q^n			
	Q_4^n	Q_3^n	Q_2^n	Q_1^n
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16	0	0	0	0

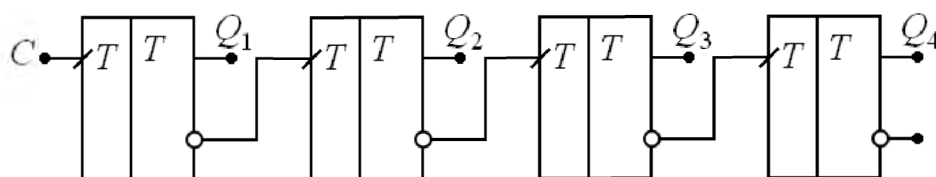


Рис. 76. Суммирующий счётчик с последовательным переносом

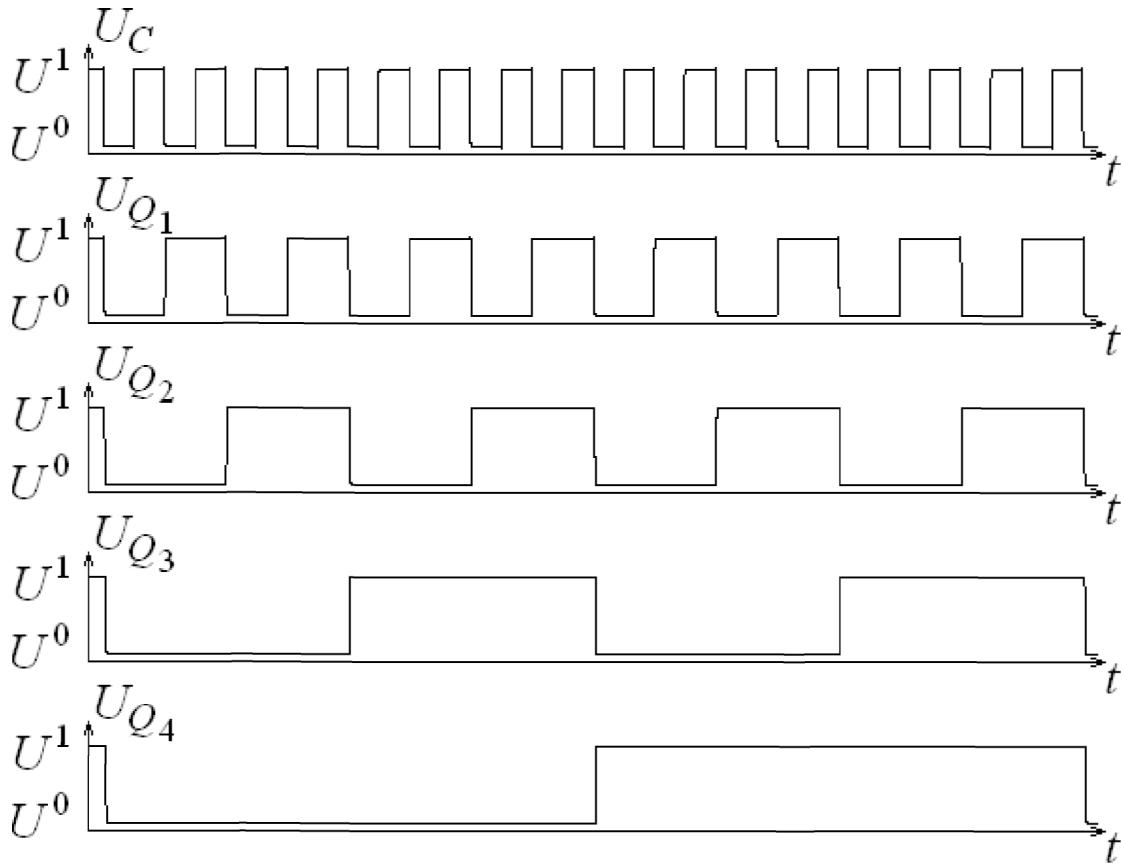


Рис. 77. Временные диаграммы работы суммирующего счётчика

В вычитающем счётчике с последовательным переносом с каждым входным импульсом уменьшается значение двоичного числа, записанного в счётчике. Правило его работы формулируется следующим образом: $Q^n = Q^{n-1} - 1$, если $Q^{n-1} \neq 0$, и $Q^n = 2^m - 1$, если $Q^{n-1} = 0$. Составив в соответствии с правилом работы таблицу переключений счётчика для $m = 4$ в виде табл. 24, рассуждая аналогично случаю суммирующего счётчика с последовательным переносом можно построить схему, где сигналы с прямого выхода предыдущего T -триггера будут подаваться на вход последующего (рис. 78). Вид сигналов в схеме во временной области показан на рис. 79.

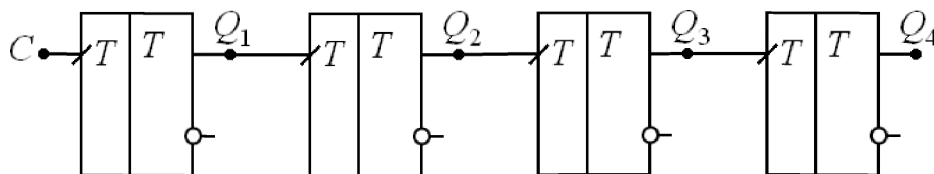


Рис. 78. Вычитающий счётчик с последовательным переносом

Таблица переключений вычитающего четырёхразрядного двоичного счётчика

n	Q^n			
	Q_4^n	Q_3^n	Q_2^n	Q_1^n
0	0	0	0	0
1	1	1	1	1
2	1	1	1	0
3	1	1	0	1
4	1	1	0	0
5	1	0	1	1
6	1	0	1	0
7	1	0	0	1
8	1	0	0	0
9	0	1	1	1
10	0	1	1	0
11	0	1	0	1
12	0	1	0	0
13	0	0	1	1
14	0	0	1	0
15	0	0	0	1
16	0	0	0	0

Реверсивный счётчик с последовательным переносом может работать в качестве суммирующего и вычитающего. Выбор режима работы осуществляется с помощью управляющего сигнала, поступающего на специальный вход счётчика F . Для построения реверсивного счётчика можно воспользоваться включением схем коммутации между T -триггерами в счётчик с последовательным переносом (см. рис. 76 и рис. 78). Схема коммутации на основе элемента «И-ИЛИ-НЕ» представлена на рис. 80. В режиме суммирования $F = 1$ и $T_i = \overline{Q_{i-1}}$, а в режиме вычитания $F = 0$ и

$T_i = Q_{i-1}$. Следует учесть, что сигнал на входе F может изменяться только при входном сигнале счётчика $C = 0$.

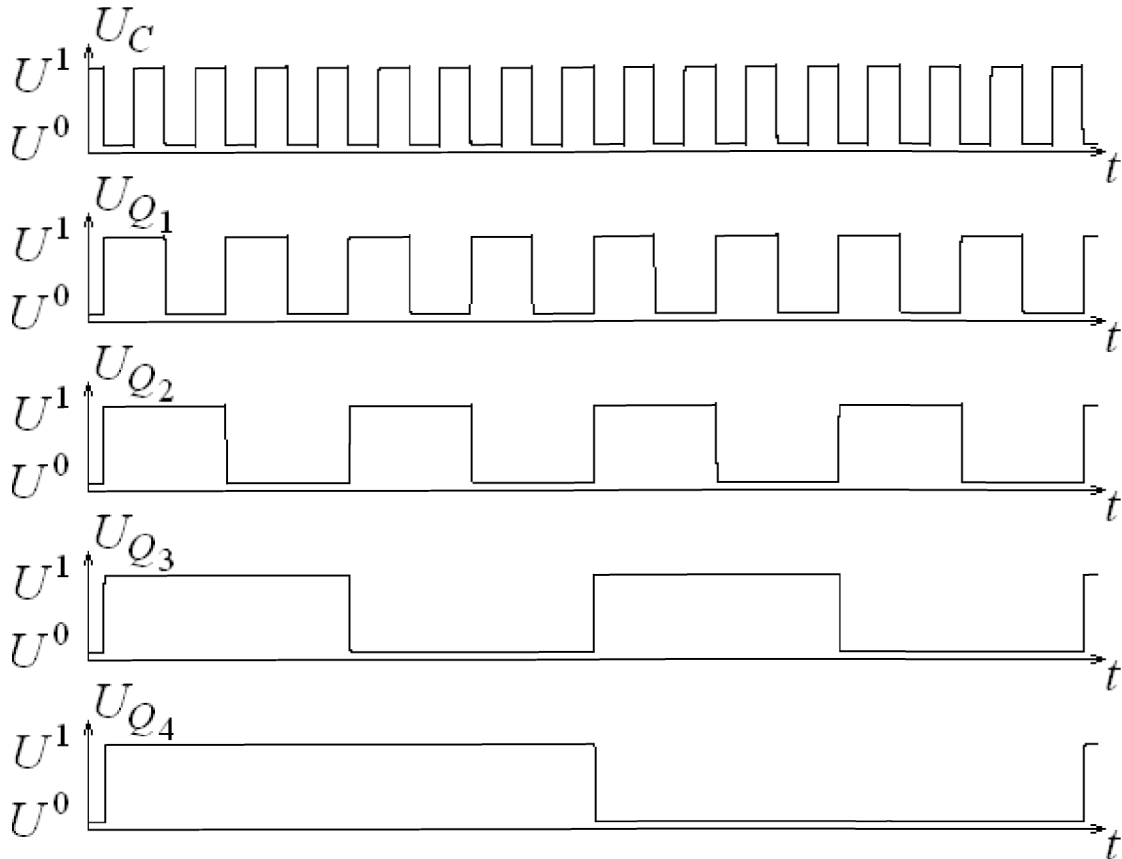


Рис. 79. Временные диаграммы работы вычитающего счётчика

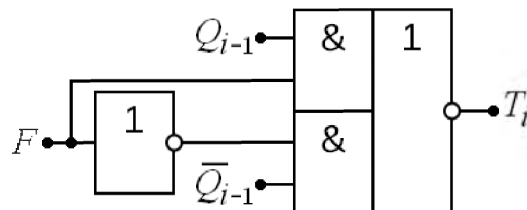


Рис. 80. Схема коммутации реверсивного счётчика

Поскольку в счётчиках с последовательным переносом триггеры переключаются последовательно, то такие счётчики являются асинхронными и имеют низкое быстродействие, что обусловлено временем задержки последовательного срабатывания триггеров. От этого недостатка свободны счётчики с параллельным переносом, являющиеся синхронными схемами. В таких счётчиках входной сигнал воздействует на все триггеры одновременно, и каждый предыдущий триггер вырабатывает управляющие сигналы для всех последующих. Схема суммирующего четырёхразрядного счётчика с

параллельным переносом на основе JK -триггеров показана на рис. 81. Переключение триггеров происходит одновременно, и, следовательно, время задержки переключения счётчика равно времени задержки переключения одного триггера.

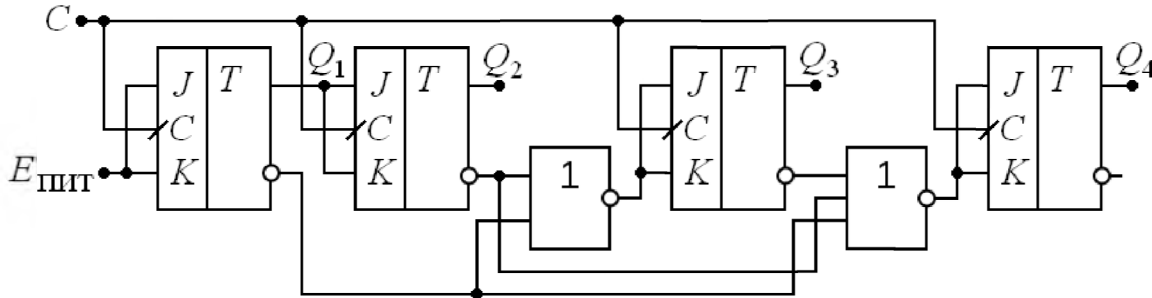


Рис. 81. Суммирующий счётчик с параллельным переносом

3.5.2. СЧЕТЧИКИ С ПРОИЗВОЛЬНЫМ КОЭФФИЦИЕНТОМ ПЕРЕСЧЕТА

При построении счётчиков с произвольным коэффициентом пересчёта применяется исключение лишних состояний в двоичных счётчиках. Чтобы построить счётчик с $K \neq 2^m$, используется счётчик с коэффициентом пересчёта $2^m > K$. Определив число лишних состояний $l = 2^m - K$, осуществляется их исключение с помощью специальных схем. Можно выделить четыре основных способа (первые три способа применяют в счётчиках с последовательным переносом, четвертый – в счётчиках с параллельным):

- счётчик сбрасывается в нулевое состояние специальной схемой, которая по состояниям выходов счётчика обнаруживает код окончания счета, равный $K - 1$;

- счётчик перед началом счета устанавливается в состояние, код которого является дополнением числа K до значения 2^m и, следовательно, равен числу исключаемых состояний l . Окончание счета определяется появлением единиц во всех разрядах счётчика. После этого специальной схемой вырабатывается сигнал установки счётчика в состояние, соответствующее двоичному коду числа l ;

- предусматривается совместное использование двух

предыдущих вариантов. Вначале счётчик устанавливается в состояние, код которого $Q^0 \neq 1$, окончание счета определяется по состоянию, имеющему код, равный $Q^0 + (K - 1)$;

– в двоичный счётчик вводят с помощью дополнительных логических элементов обратные связи между разрядами, ограничивающие число состояний счётчика.

Рассмотрим синтез схемы суммирующего двоично-десятичного счётчика ($K = 10, m = 4$) с параллельным переносом на основе D -триггеров. Таблица переключений представлена в табл. 25.

Таблица 25

Таблица переключений суммирующего двоично-десятичного счётчика

n	Q^n			
	Q_4^n	Q_3^n	Q_2^n	Q_1^n
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	0	0	0	0

С учётом таблицы переключений D -триггера (табл.20) составим таблицу истинности для сигналов на входах данных каждого из четырёх D -триггеров (табл. 26). В полученной таблице в столбцах данных определены по десять значений сигнала согласно табл. 25, а строки, отмеченные символом «-», физически не реализуемы, ведь таких сочетаний выходных сигналов не может быть по таблице переключений суммирующего двоично-десятичного счётчика.

**Таблица истинности для сигналов на входах D -триггеров
суммирующего двоично-десятичного счётчика**

Q_4	Q_3	Q_2	Q_1	D_4	D_3	D_2	D_1
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	0	1	1	0
0	1	1	0	0	1	1	1
0	1	1	1	1	0	0	0
1	0	0	0	1	0	0	1
1	0	0	1	0	0	0	0
1	0	1	0	–	–	–	–
1	0	1	1	–	–	–	–
1	1	0	0	–	–	–	–
1	1	0	1	–	–	–	–
1	1	1	0	–	–	–	–
1	1	1	1	–	–	–	–

На рис. 82 согласно табл. 26 показаны карты Карно для логических функций сигналов на входах данных каждого из четырёх D -триггеров. Предполагается, что входящие в контура склеивания символы «–» принимают значения логической единицы. Тогда минимизированные выражения имеют вид:

$$D_4 = Q_4 \cdot \overline{Q_1} + Q_3 \cdot Q_2 \cdot Q_1$$

$$D_3 = Q_3 \cdot \overline{Q_2} + Q_3 \cdot \overline{Q_1} + \overline{Q_3} \cdot Q_2 \cdot Q_1$$

$$D_2 = Q_2 \cdot \overline{Q_1} + \overline{Q_4} \cdot \overline{Q_2} \cdot Q_1$$

$$D_1 = \overline{Q_1}.$$

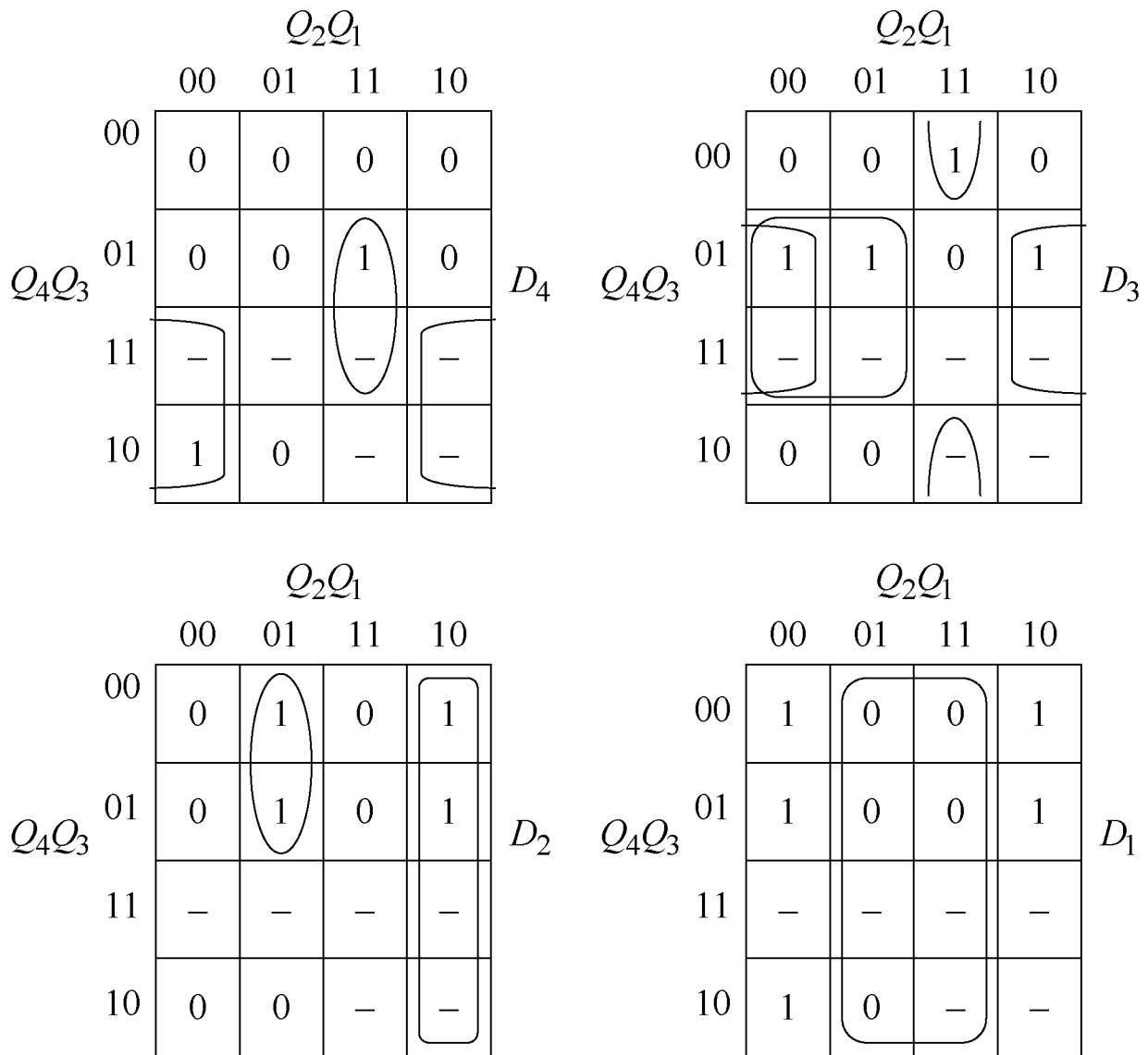


Рис. 82. Карты Карно для сигналов на входах D -триггеров суммирующего двоично-десятичного счётчика.

Преобразуем полученные для сигналов на входах данных трёх D -триггеров логические функции к виду реализуемому на основе мультиплексоров рис. 15, б. Тогда выражения будут следующими:

$$\begin{aligned}
 D_4 &= Q_4 \cdot \overline{Q_1} + Q_3 \cdot Q_2 \cdot Q_1 = \overline{Q_1 \cdot Q_3 \cdot Q_2} + \overline{Q_1 \cdot Q_4} = \\
 &= \overline{Q_1 \cdot (Q_3 + Q_2)} + \overline{Q_1 \cdot Q_4} = \overline{Q_1 \cdot (Q_2 \cdot Q_3 + Q_2 \cdot 1)} + \overline{Q_1 \cdot Q_4}
 \end{aligned}$$

$$\begin{aligned}
 D_3 &= Q_3 \cdot \overline{Q_2} + Q_3 \cdot \overline{Q_1} + Q_3 \cdot Q_2 \cdot Q_1 = Q_3 \cdot (\overline{Q_2} + \overline{Q_1}) + Q_3 \cdot Q_2 \cdot Q_1 = \\
 &= Q_3 \cdot (\overline{Q_2} \cdot Q_1 + \overline{Q_1}) + Q_3 \cdot Q_2 \cdot Q_1 = Q_3 \cdot \overline{Q_1} + (Q_3 \cdot \overline{Q_2} + Q_3 \cdot Q_2) \cdot Q_1 = \\
 &= \overline{Q_1} \cdot (Q_3 \cdot \overline{Q_2} + Q_3 \cdot Q_2) + \overline{Q_1} \cdot Q_3 = \overline{Q_1} \cdot (Q_2 \cdot Q_3 + \overline{Q_2} \cdot Q_3) + \overline{Q_1} \cdot Q_3
 \end{aligned}$$

$$\begin{aligned}
 D_2 &= Q_2 \cdot \overline{Q_1} + Q_4 \cdot \overline{Q_2} \cdot Q_1 = Q_1 \cdot \overline{Q_4} \cdot \overline{Q_2} + \overline{Q_1} \cdot \overline{Q_2} = \\
 &= \overline{Q_1} \cdot (Q_4 + Q_2) + \overline{Q_1} \cdot \overline{Q_2} = \overline{Q_1} \cdot (Q_2 \cdot 1 + \overline{Q_2} \cdot Q_4) + \overline{Q_1} \cdot \overline{Q_2}.
 \end{aligned}$$

На рис. 83 показана схема суммирующего двоично-десятичного счётчика с параллельным переносом на основе D -триггеров. Вид сигналов в схеме во временной области показан на рис. 84.

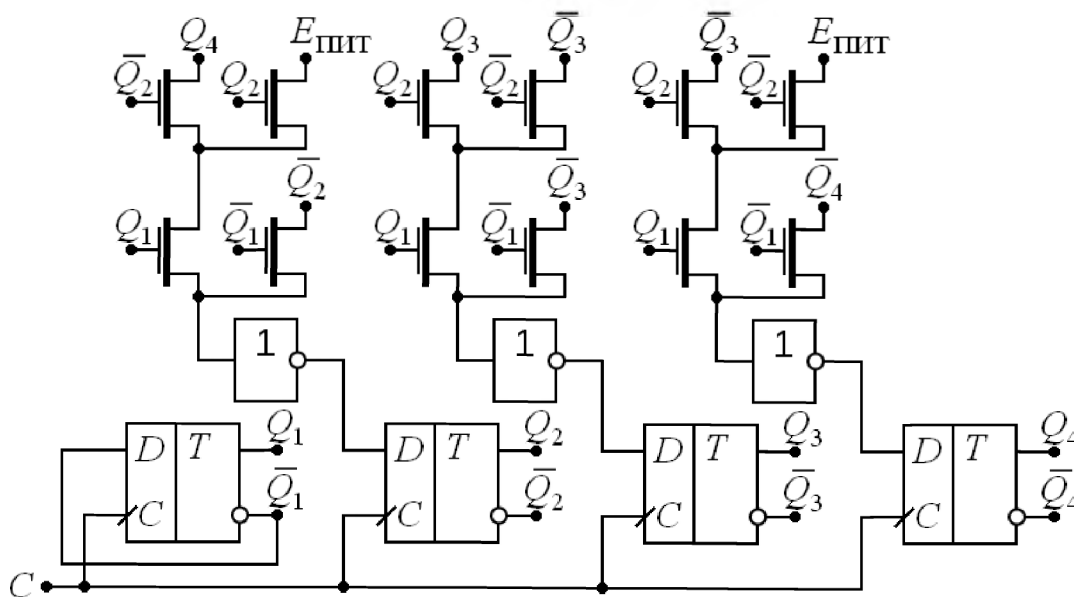


Рис. 83. Суммирующий двоично-десятичный счётчик

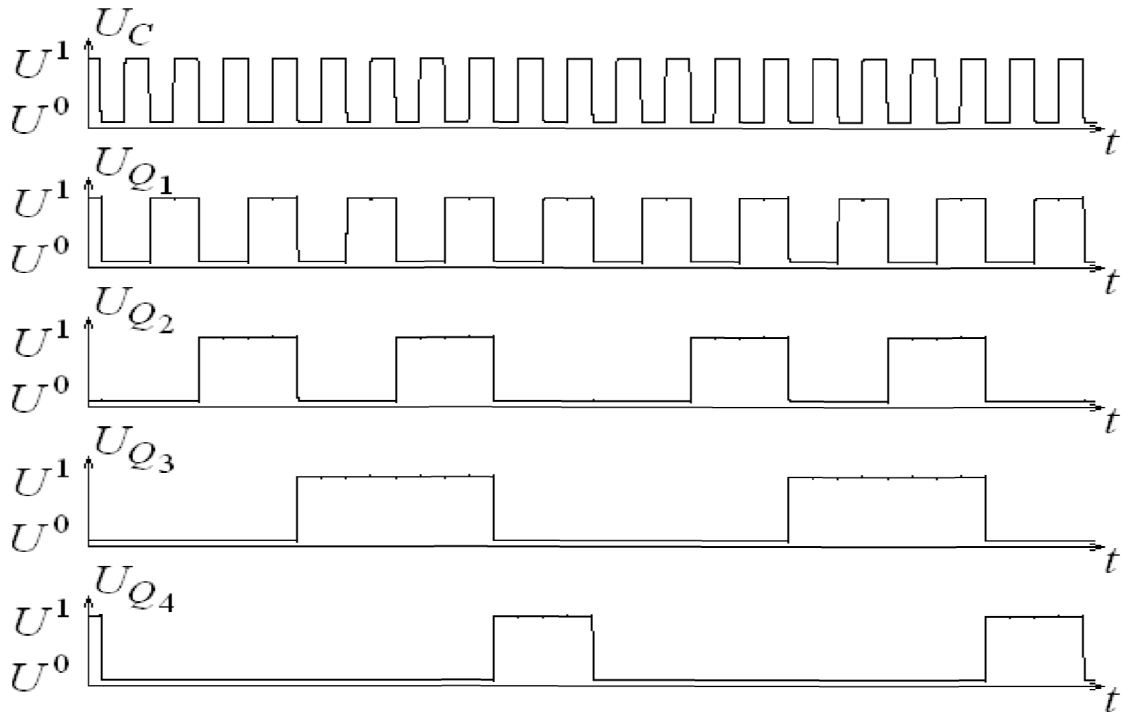


Рис. 84. Временные диаграммы работы двоично-десятичного счётчика

3.6. ПОТРЕБЛЯЕМАЯ МОЩНОСТЬ ЦИФРОВОЙ СХЕМЫ

Потребляемая мощность цифровой схемы включает статическую и динамическую составляющие:

$$P_{\text{потр}} = P_{\text{стат}} + P_{\text{дин}}.$$

Например, если цифровая схема имеет один выход и состояния логического нуля и логической единицы на выходе равновероятны, то статическая составляющая определяется как:

$$P_{\text{стат}} = \frac{1}{2}(P_{\text{стат}}^0 + P_{\text{стат}}^1),$$

где $P_{\text{стат}}^0$ и $P_{\text{стат}}^1$ – статические мощности, потребляемые схемой, когда на выходе наблюдаются состояния логического нуля и логической единицы соответственно.

При реализации цифровых схем на основе полупроводников статическая составляющая потребляемой мощности, как правило, определяется токами утечки транзисторов и пренебрежимо мала по сравнению с динамической составляющей. Динамическая составляющая потребляемой мощности обусловлена переключениями схемы и имеет вид:

$$P_{\text{дин}} = E_{\text{пит}}^2 f_{\text{такт}} \sum_b \alpha_b C_b + E_{\text{пит}} \sum_q I_{\text{скв}_q},$$

где: $f_{\text{такт}}$ – тактовая частота цифрового устройства, в состав которого входит рассматриваемая схема; α_b – параметр, характеризующий частоту изменения напряжения в узле с номером b ; C_b – ёмкость в узле с номером b , включающая паразитные ёмкости транзисторов и ёмкости проводников; $I_{\text{скв}_q}$ – сквозной ток в цепи с номером q между шинами питания через открытые транзисторы.

Снижение динамической составляющей потребляемой мощности цифровой схемы возможно за счёт снижения напряжения питания, уменьшения влияния перезаряда ёмкостей в узлах схемы и уменьшения значений сквозных токов. При снижении напряжения питания критичными параметрами становятся логический перепад, запас помехоустойчивости и время задержки распространения сигнала. Снижение влияния ёмкостей в узлах схемы достигается за счёт уменьшения геометрических размеров транзисторов и оптимизации их взаимного местоположения с целью уменьшения длины проводников между ними. При этом следует учитывать, что уменьшение геометрических размеров транзисторов также может привести к снижению помехоустойчивости схемы и увеличению времени задержки распространения сигнала. Уменьшение значений сквозных токов возможно за счёт снижения напряжения питания, аналогично рассмотренному случаю комплементарного инвертора на транзисторах (рис. 5, а снижение напряжения питания до величин $E_{\text{пит}} < U_{он} - U_{ор}$). Однако такое снижение напряжения питания также приводит к описанным выше негативным последствиям. Таким образом, указанные пути уменьшения динамической составляющей потребляемой мощности цифровой схемы оказываются неэффективными.

В качестве альтернативного способа следует рассматривать новые по сравнению с представленными комплементарными схемами схемотехнические решения цифровых схем, которые, например, за

счёт уменьшения количества узлов, специфики цепей и т.п. позволяют обеспечить снижение динамической составляющей потребляемой мощности при обеспечении малости статической составляющей.

Рассмотренные схемы принято называть статическими. В отличие от статических схем динамические цифровые схемы в большинстве случаев обеспечивают отсутствие путей протекания сквозного тока, обладают малой входной ёмкостью и, следовательно, имеют меньшее время задержки распространения сигнала. В динамических цифровых схемах логическое состояние сигнала на выходе сохраняется в одном интервале времени и изменяется в другом интервале времени. Данные интервалы времени определяются периодическими управляющими сигналами. Поэтому для управления динамическими схемами используются генераторы импульсов. Однако суммарная нагрузочная ёмкость цепей динамического питания и дополнительные переключения в схеме для осуществления предварительного заряда ёмкости нагрузки не позволяют добиться снижения динамической составляющей потребляемой мощности за счёт применения динамических цифровых схем. Отметим, что из-за падения напряжения на транзисторах цепей динамического питания логический перепад в динамических схемах оказывается меньше, чем в статических схемах. Кроме того, частота управляющих генераторов цепей динамического питания должна быть более чем в два раза выше максимальной из частот обрабатываемых сигналов, что приводит к уменьшению диапазона рабочих частот динамических цифровых схем по сравнению со статическими схемами.

Сравнение характеристик цифровых схем как правило проводится с использованием средней работы переключения (аналог характеристики power-delay product [3]):

$$A_{\text{перекл}}^{\text{ср}} = P_{\text{потр}}^{\text{ср}} t_{\text{зд}}^{\text{ср}},$$

где $P_{\text{потр}}^{\text{ср}}$ – средняя потребляемая мощность на одно переключение, среднее время задержки переключения $t_{\text{зд}}^{\text{ср}}$ определяется усреднением

времен задержек между фронтами и спадами входного и выходного сигналов при переключении схемы из состояния логической единицы в состояние логического нуля $t_{зд}^{1 \rightarrow 0}$ и наоборот $t_{зд}^{0 \rightarrow 1}$ (рис. 85):

$$t_{зд}^{ср} = \frac{1}{2}(t_{зд}^{1 \rightarrow 0} + t_{зд}^{0 \rightarrow 1}).$$

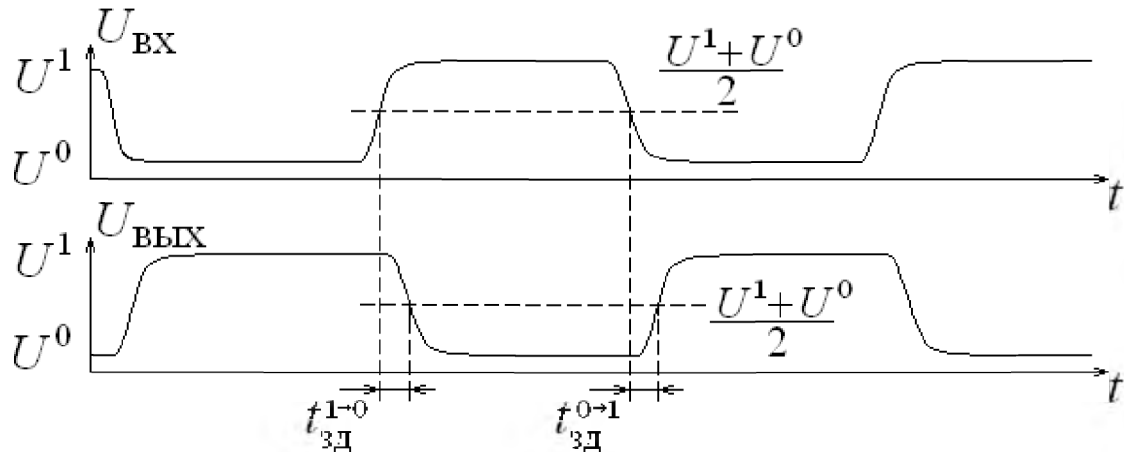


Рис. 85. Задержки переключения в цифровой схеме

Если разработчику задана средняя работа переключения схемы, то можно предложить различные реализации, которые будут характеризоваться либо малой потребляемой мощностью при большом времени задержки переключения (низкое быстродействие), либо большой потребляемой мощностью при малом времени задержки переключения (высокое быстродействие).

3.7. ВОПРОСЫ ДЛЯ САМОПРОВЕРКИ

1. Чем отличаются комбинационные и последовательностные цифровые схемы? Какая схема называется триггером?
2. Что обозначает «запрещённое состояние»? У каких триггеров есть такое состояние? Объясните на примере работы триггера.
3. Поясните, как работают транзисторы в схеме асинхронного триггера, показанной на рис. 27, в.
4. Постройте временные диаграммы работы синхронного *RS*-триггера и *T*-триггера.
5. Какие триггеры являются универсальными? В чем проявляется универсальность?
6. Какие режимы работы имеют регистры? Перечислите основные типы регистров и поясните их отличия.
7. Объясните работу ячейки параллельного регистра (рис. 51, б). Согласно временным диаграммам, показанным на рис. 52, определите значения сигналов в узлах схемы в характерные моменты времени.
8. Поясните работу элемента коммутации в схеме реверсивного регистра сдвига. Укажите входные и выходной сигналы в характерные моменты времени согласно таблице истинности (табл. 3) и временным диаграммам, показанным на рис. 56.
9. Постройте временные диаграммы работы параллельно-последовательного регистра.
10. Объясните, какая последовательностная схема называется счётчиком. Перечислите основные виды счётчиков.
11. Как работают суммирующий и вычитающий двоичные счётчики?
12. Чем определяется быстродействие асинхронного счётчика?
13. За счёт чего достигается увеличение быстродействия в синхронных счётчиках?
14. Какие существуют способы реализации счётчика с произвольным коэффициентом пересчёта?
15. Объясните, что такое средняя работа переключения цифровой схемы.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Степаненко И.П. Основы микроэлектроники: Учеб. пособие для вузов, 2-е изд., перераб. и доп. – М. : Лаборатория Базовых Знаний, 2001. – 488 с.

2. Рабаи Ж.М., Чандракасан А., Николич Б. Цифровые интегральные схемы. Методология проектирования, 2-е изд. – М.: Вильямс, 2007. – 914 с.

3. Бунтов В.Д., Макаров С.Б. Микропроцессорные системы: учеб. пособие для вузов по направлению "Техническая физика". Ч.1: Цифровые устройства. – СПб.: Изд-во Политехн. ун-та, 2008. – 257 с.

4. Морозов Д.В. Схемотехника современных цифровых схем с низкой потребляемой мощностью // Научно-технические ведомости Санкт-Петербургского государственного политехнического университета. Информатика. Телекоммуникации. Управление, 2008, Т. 3, № 60, с. 111–116.

5. Угрюмов Е.П. Цифровая схемотехника: учеб. пособие для вузов по направлению "Информатика и вычислительная техника", 3-е изд. – СПб.: БХВ-Петербург, 2010. – 797 с.

6. Микушин А.В., Сажнев А.М., Сединин В.И. Цифровые устройства и микропроцессоры: учеб. пособие для вузов по направлению подгот. дипломир. специалистов "Телекоммуникации". – СПб.: БХВ-Петербург, 2010. – 818 с.

7. Пухальский Г.И., Новосельцева Т.Я. Проектирование цифровых устройств: учеб. пособие для вузов по направлению подготовки 210400 "Радиотехника". – СПб.; Москва; Краснодар: Лань, 2012. – 888 с.

8. Коротков А.С., Морозов Д.В., Пилипко М.М. Схемотехника органической электроники. Цифровые и аналого-цифровые схемы: учеб. пособие – СПб.: Изд-во Политехн. ун-та, 2013. – 100 с.

9. Амосов В.В. Схемотехника и средства проектирования цифровых устройств: учеб. пособие для вузов по направлениям подготовки "Системный анализ и управление" и "Информатика и вычислительная техника". – СПб.: БХВ-Петербург, 2014. – 542 с.

10. Morozov D.V., Pilipko M.M. Design of Microelectronic Digital Circuits: tutorial – SPb.: Polytechnic University Publishing House, 2014. – 124 с.