

Продолжение. Начало в № 11 `2008

## Программа схемотехнического моделирования SwitcherCAD III

Михаил ПУШКАРЕВ

В этой части статьи рассматриваются примеры работы в симуляторе и возможные настройки программы.

### Примеры работы в LTspice/SwitcherCAD III

В папке **My\_Examples**, хранящейся по адресу [http://www.kit-e.ru/assets/My\\_Examples.zip](http://www.kit-e.ru/assets/My_Examples.zip), содержатся файлы для демонстрации возможностей LTspice/SwitcherCAD III.

Папка **My\_Project** включает в себя файлы:

- **TL431.asc** — схема макромодели TL431;
- **TL431\_test\_pulse.asc** — схема тестирования TL431 в режиме компаратора;
- **TL431\_test\_freq.asc** — схема тестирования TL431 в режиме усилителя переменного тока;
- **TL431\_test\_temp.asc** — схема для температурного анализа TL431;
- **Regulator\_dc.asc** — схема стабилизатора напряжения для анализа на постоянном токе;
- **Regulator\_tr.asc** — схема стабилизатора напряжения для расчета передаточной функции на постоянном токе;
- **Regulator\_ac.asc** — схема стабилизатора напряжения для анализа устойчивости;
- **Regulator\_ac1.asc** — то же самое, но для построения годографа Найквиста;
- **Regulator\_tran.asc** — схема стабилизатора напряжения для анализа качества регулирования.

Файл **My\_Lib.lib** содержит описание макромодели микросхемы TL431.

В папке **My\_Sym** описания символов компонента TL431:

- **TL431.asy** — символ с атрибутом «тип компонента» Cell;
- **TL431\_test.asy** — символ с атрибутом «тип компонента» Block.

Чтобы воспользоваться предлагаемыми примерами, необходимо поместить файл **My\_Lib.lib** в папку **sub**, папку **My\_Sym** в папку **sum**, а папку **My\_Project** в папку **SwCADIII** установленной программы.

### Модель микросхемы TL431

Файл **TL431.asc** — это схема макромодели регулируемого стабилизатора TL431, созданная на основе принципиальной схемы, представленной в [2]. Эта модель, в отличие от известных SPICE-моделей микросхемы TL431, обеспечивает удовлетворительные результаты моделирования во всех вариантах приме-

нения, предлагаемых производителем микросхемы. Приведем текст модели, содержащийся в файле **My\_Lib.lib**:

```
.subckt TL431 A C R
*TL431 Reference
*Model for LTSpiceSwCADIII, Orcad, Micro-Cap
* Designed by M.Pushkarev, Ulijanovsk, Russia, 10/07/2008
Q1 N011 N011 A QN
Q2 C R N005 QN
Q3 N003 N003 R QN
Q4 N012 N011 N014 QN 2
Q5 N004 N004 N001 QP
Q6 N004 N005 N008 QN
Q7 N010 N012 A QN
Q8 N003 N004 N002 QP
Q9 N003 N013 A QN
Q10 C N003 N006 QN
Q11 C N007 A QN 3
R1 N009 N011 2.4k TC=2E-3, -2E-5
R2 N005 N009 3.28k TC=2E-3, -2E-5
R3 N009 N012 7.2k TC=2E-3, -2E-5
R4 N014 A 800 TC=1.8E-3
R5 C N001 800 TC=1.8E-3
R6 N008 N010 4k TC=2E-3, -2E-5
R7 N013 N011 1k
R8 C N002 800 TC=1.8E-3
R9 N007 N006 150
R10 N007 A 10k
D1 A N003 QD
D2 A C QD
C1 N010 N012 20p
C2 C N003 20p
.model QD D (is=10e-15)
.model QN NPN(is=5e-15 BF=120 Cje=.5p Cjc=.5p Rb=500)
.model QP LPNP(is=5e-15 BF=50Cje=.3p Cjc=1.5p Rb=250)
.backanno
.ends TL431
```

Описание макромодели начинается строкой, включающей в себя директиву **.SUBCKT**, имя макромодели и имена выводов, расположенных в порядке, аналогичном порядку размещения их в символе компонента. Следующие три строки — комментарий, не оказывающий влияния на моделирование. Далее несколько строк, определяющих подключение транзисторов Q1–Q11. Транзисторы записаны подряд и в порядке возрастания позиционных обозначений исключительно только для удобства чтения файла. Порядок следования элементов схемы макромодели на анализ влияния не оказывает. Для транзисторов Q4 и Q11 показано количество параллельно включенных структур, 2 и 3 соответственно. Для большинства резисторов наряду с номинальным значением сопротивления указаны температурные коэффициенты сопротивления, которыми в основном определяется температурная зависимость опорного напряжения. Модели диода и транзисторов из множества параме-

тров содержат только существенно необходимые. Описание заканчивается строками с директивами **.BACKANNO** и **.ENDS**.

В папке **My\_Sym** есть два файла — **TL431\_test.asy** и **TL431.asy** — с описаниями символов TL431\_test и TL431. Символ TL431\_test, имеющий атрибут **Symbol Type** — **Block**, использован в проектах **TL431\_test\_pulse.asc** и **TL431\_test\_freq.asc**, позволяющих продемонстрировать иерархические проекты с тестированием микросхемы TL431, включенной в качестве компаратора и в качестве усилителя.

Первый из проектов с результатами анализа показан на рис. 17 (см. Кит № 11 `2008, стр. 136). В левом верхнем углу рисунка — схема тестирования регулируемого стабилизатора в режиме компаратора TL431\_test\_pulse.asc. В правом нижнем углу собственно схема микросхемы TL431 — TL431\_test.asc. В правом верхнем углу — результаты моделирования, где показаны графики входного напряжения **V(in)** и тока коллектора транзистора Q11 микросхемы **Ic(x1:Q11)**.

### Анализ температурного дрейфа модели микросхемы TL431

Файл **TL431\_test\_temp.asc** после открытия демонстрирует схему проверки поведения компонента TL431 при изменении температуры. В этом проекте используется символ TL431.asy, не допускающий редактирования в составе схемы. Схема и результат моделирования изображены на рис. 36.

### Анализ схемы стабилизатора напряжения на постоянном токе

Файл **Regulator\_dc.asc** — несложная схема стабилизатора напряжения с выходным напряжением 12 В и током нагрузки до 300 мА. Допустимый диапазон изменения входного напряжения — 13–30 В. Схема и результат моделирования изображены на рис. 37.

Схема стабилизатора включает в себя транзисторы, модели которых отсутствуют в библиотеке **standard.bjt**. Один из возможных способов использования сторонних библиотек, который и применен в данном примере, поместить модели компонентов на листе схемы. Достоинство такого решения: проект запускается на любом компьютере, вне зависимо-

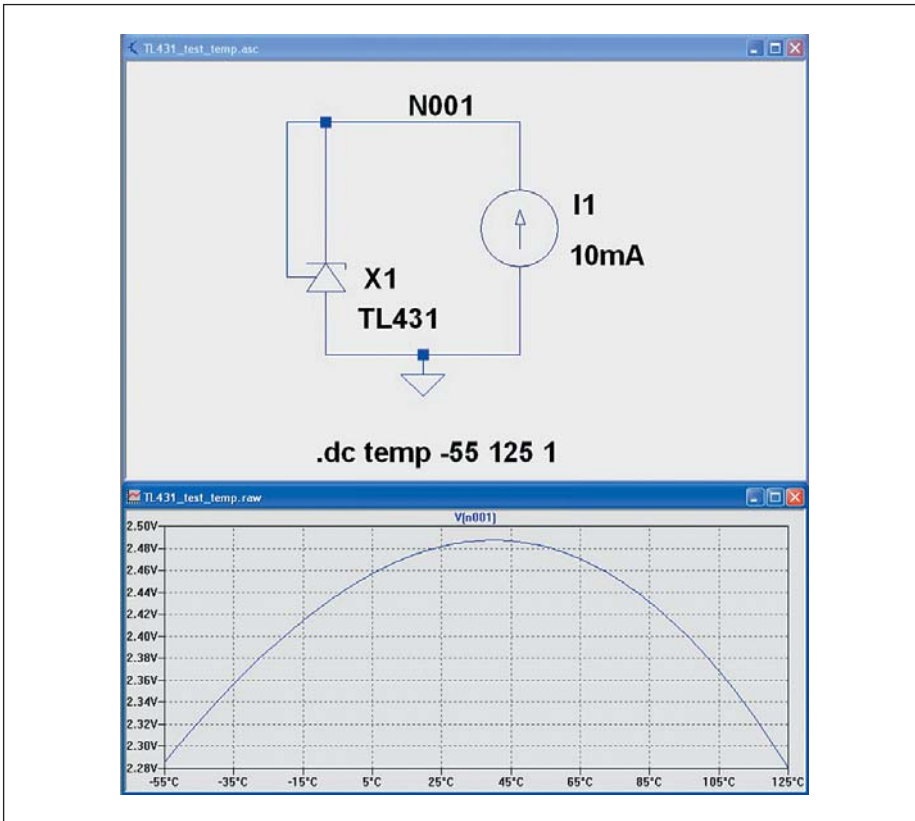


Рис. 36. Анализ температурного дрейфа модели микросхемы TL431

сти от места установки программы и наличия соответствующих библиотек.

На листе схемы помещены четыре директивы моделирования:

```
.dc Vin 15 30 1
.step param I list 100m 200m
.meas V(in) trig V(out)=12.022 targ V(out)=12.0225
.save V(out)
```

Они предусматривают анализ поведения схемы на постоянном токе при изменении входного напряжения в диапазоне 15–30 В с шагом 1 В и двух значениях тока нагрузки (100 и 200 мА), с измерением входного напряжения при двух значениях выходного напряжения (12,022 и 12,0225 В) и выводом графика выходного напряжения V(out) непосредственно в процессе моделирования.

В окне графиков подключены два курсора: первый курсор к синему графику, соответствующему току нагрузки 100 мА, второй — к красному графику, соответствующему току нагрузки 200 мА. По данным таблицы **Cursor Step Information** видно, что курсор 2 подключен к графику, соответствующему ступени тока 200 мА, и полученному за второй проход моделирования из двух проходов. В диалоговом окне показаны координаты и разности координат курсоров. На рис. 38 приведен фрагмент .log-файла,

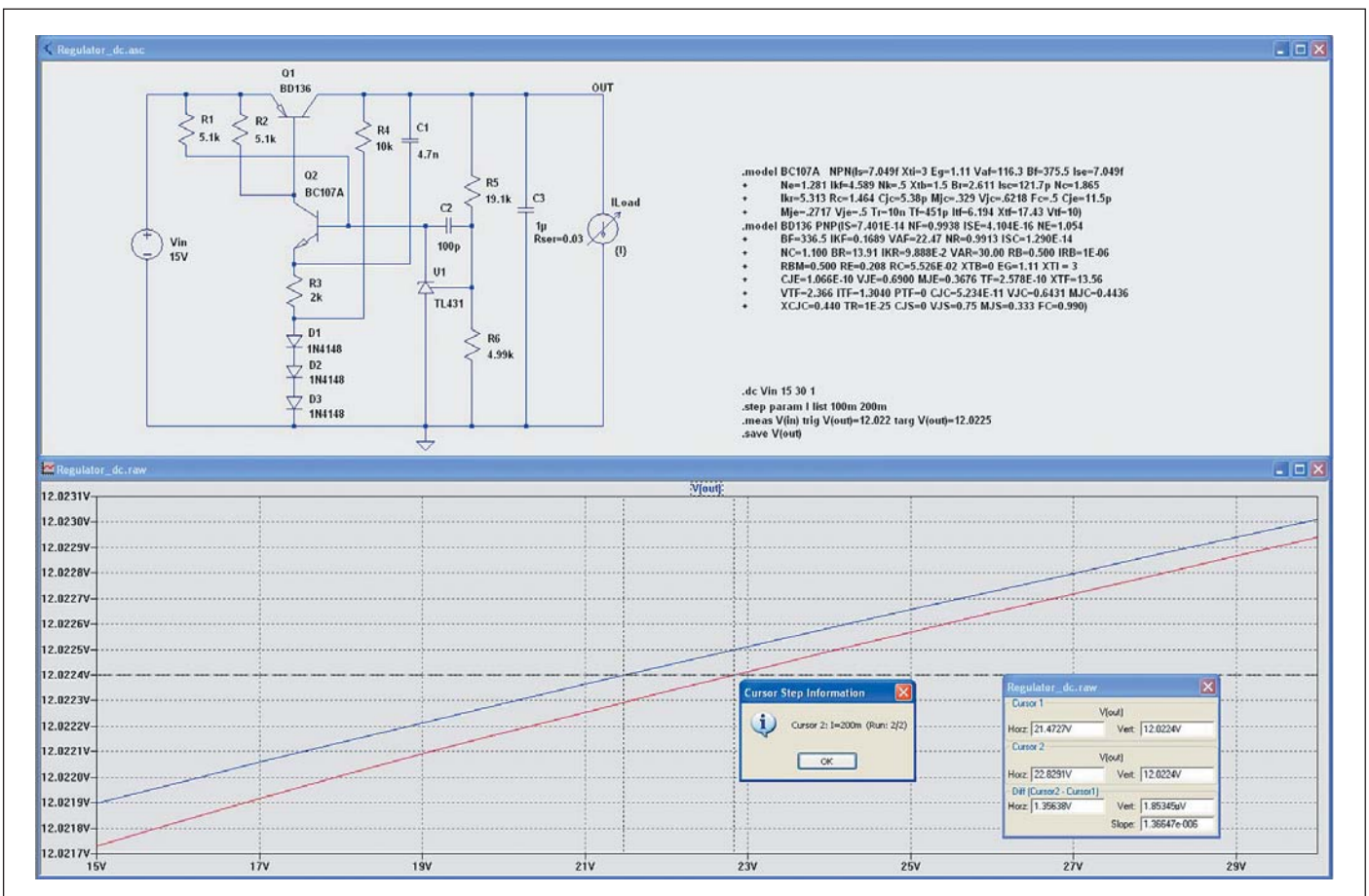


Рис. 37. Анализ схемы стабилизатора напряжения на постоянном токе

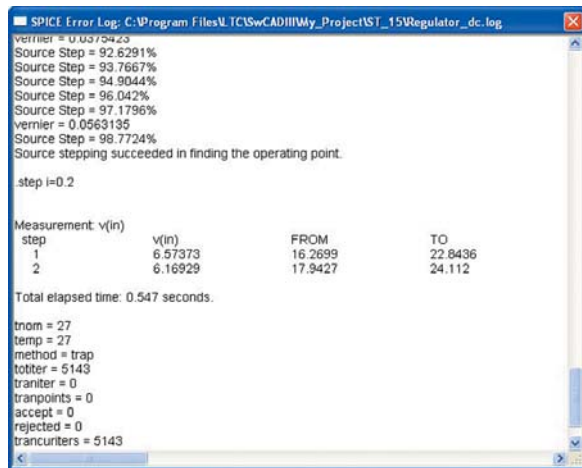


Рис. 38. Фрагмент .log-файла

открытого по команде **View>SPICE Error Log**, с результатами измерений по директиве **.MEAS**.

На рис. 39 показан результат моделирования передаточной характеристики стабилизатора по постоянному току (файл проекта **Regulator\_tr.asc**) по директиве:

```
.tr V(out) Vin.
```

Отчет представляет результаты вычислений коэффициента передачи, входного и выходного сопротивлений.

### Анализ устойчивости стабилизатора напряжения

Файл **Regulator\_ac.asc** — это схема стабилизатора напряжения, подготовленная для АС-анализа с целью проверки устойчивости. Методика такого анализа изложена в [3, 4]. Схема и результат моделирования показаны

на рис. 40. Роль источника возмущения в цепи отрицательной обратной связи играет независимый источник напряжения **Vtest**. Директивами моделирования

```
.ac dec 100 1 10MEG
.step param C list 1p 4.7n
```

задан анализ с логарифмическим декадным изменением частоты и со 100 отображаемыми точками в каждой декаде в полосе частот от 1 Гц до 10 МГц, при двух значениях корректирующей емкости **C1**: 1 пФ и 4,7 нФ.

Директива

```
.options gmin=1E-9
```

обеспечивает нормальное завершение процесса моделирования. При значении  $gmin = 1E-12$ , установленном по умолчанию, попытка анализа схемы при **C1 = 1 пФ** заканчивается со-

общением об ошибке **Analysis Failed: Iteration Limit reached**.

В окне графиков изображен график  $-V(out)/V(test)$ . Результаты моделирования представляют собой логарифмические амплитудно-частотную (ЛАЧХ) и фазочастотную (ЛФЧХ) характеристики разомкнутой системы. Знак « $\rightarrow$ » приводит график ЛФЧХ к виду, принятому при анализе систем автоматического регулирования [5]. Запас по фазе составляет около  $-22^\circ$  и  $41^\circ$  для значений корректирующей емкости 1 пФ и 4,7 нФ соответственно. При значении корректирующей емкости, равном 1 пФ, схема неустойчива. На практике для гарантии устойчивости рекомендуется иметь запас по фазе не менее  $30^\circ$ . На рис. 41 представлен результат моделирования этой схемы (файл проекта **Regulator\_ac1.asc**) в диапазоне частот 10 кГц – 10 МГц в виде годографа Найквиста. Характеристика, соответствующая значению корректирующей емкости 1 пФ, охватывает точку с координатами  $(-1, j0)$ , что свидетельствует о неустойчивости схемы.

### Анализ переходного процесса в стабилизаторе напряжения

Качество регулирования в стабилизаторе напряжения можно оценить по реакции на скачок тока нагрузки. Файл **Regulator\_tran.asc** — это проект для анализа стабилизатора напряжения при скачкообразном изменении тока нагрузки от 0 до 300 мА и обратно. Директивами моделирования

```
.tran 0.8m
.step param C list 1n 4.7n
```

задан анализ переходного процесса на временном отрезке 0–1,5 мс при двух значениях корректирующей емкости: 1 и 4,7 нФ.

Судя по графикам на рис. 42, величина корректирующей емкости сказывается не толь-

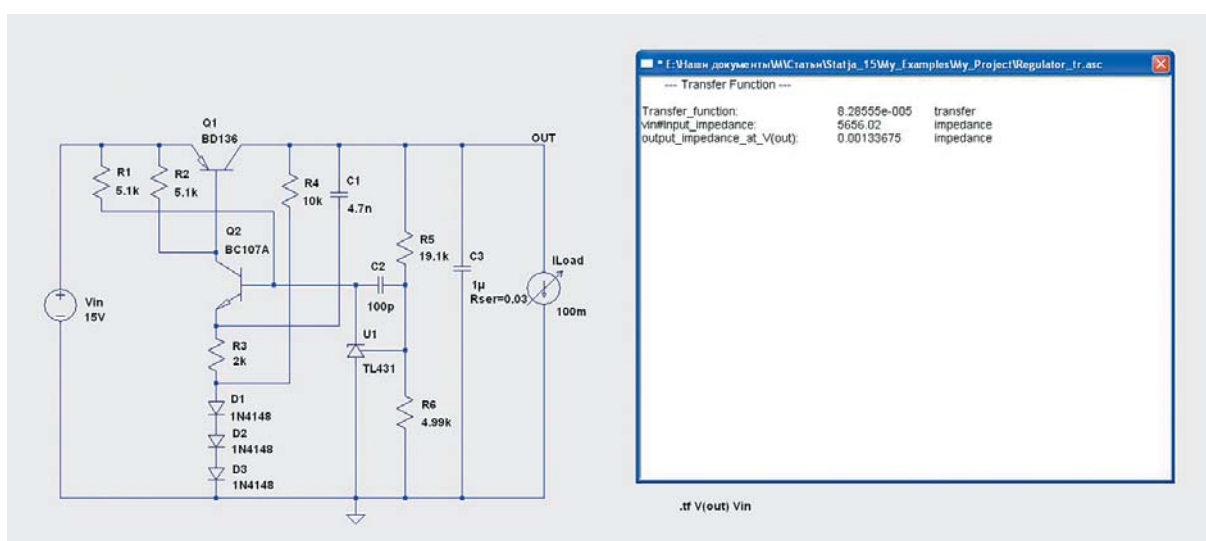


Рис. 39. Параметры передаточной характеристики по постоянному току

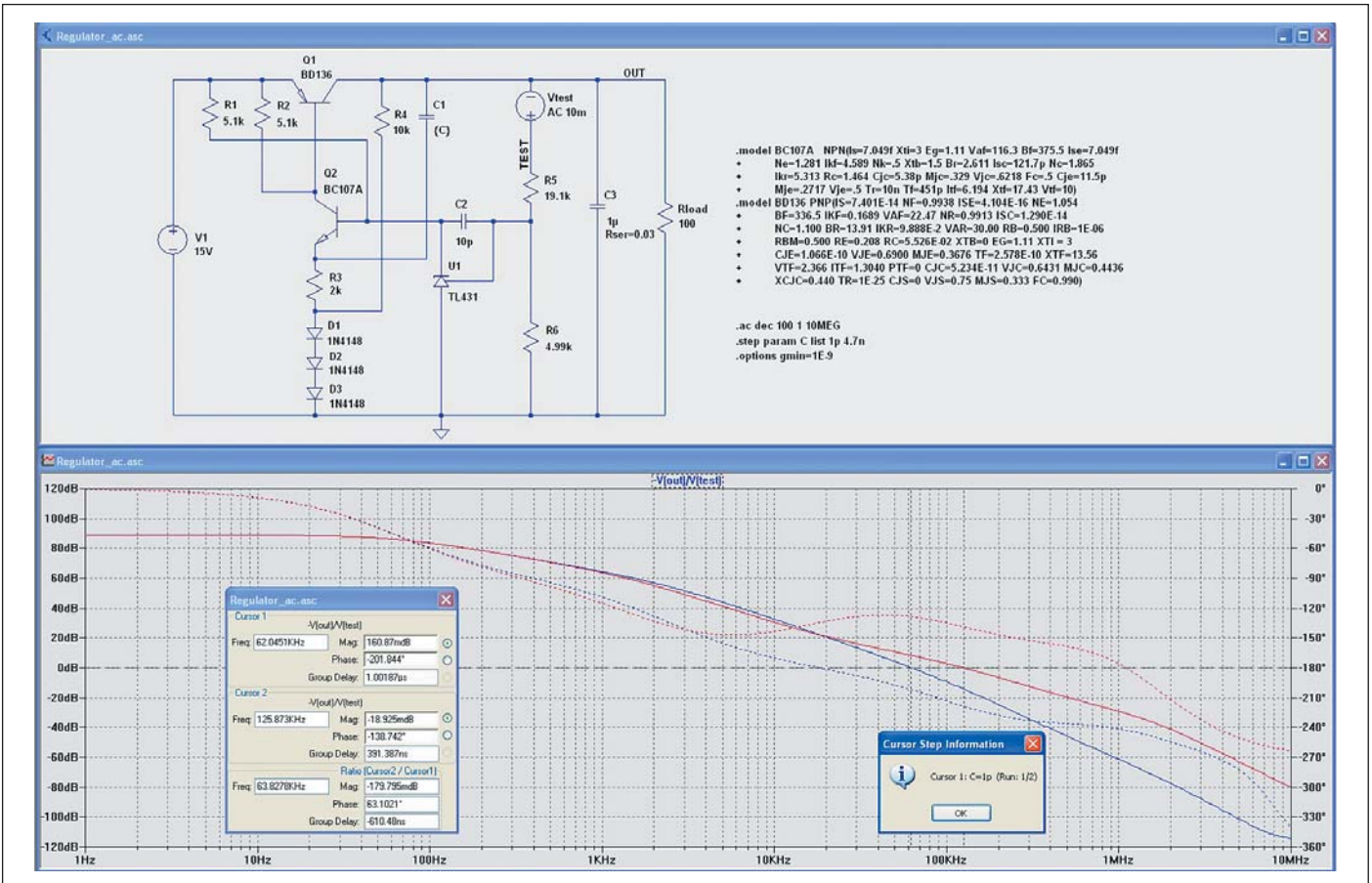


Рис. 40. Анализ устойчивости по ЛАЧХ и ЛФЧХ

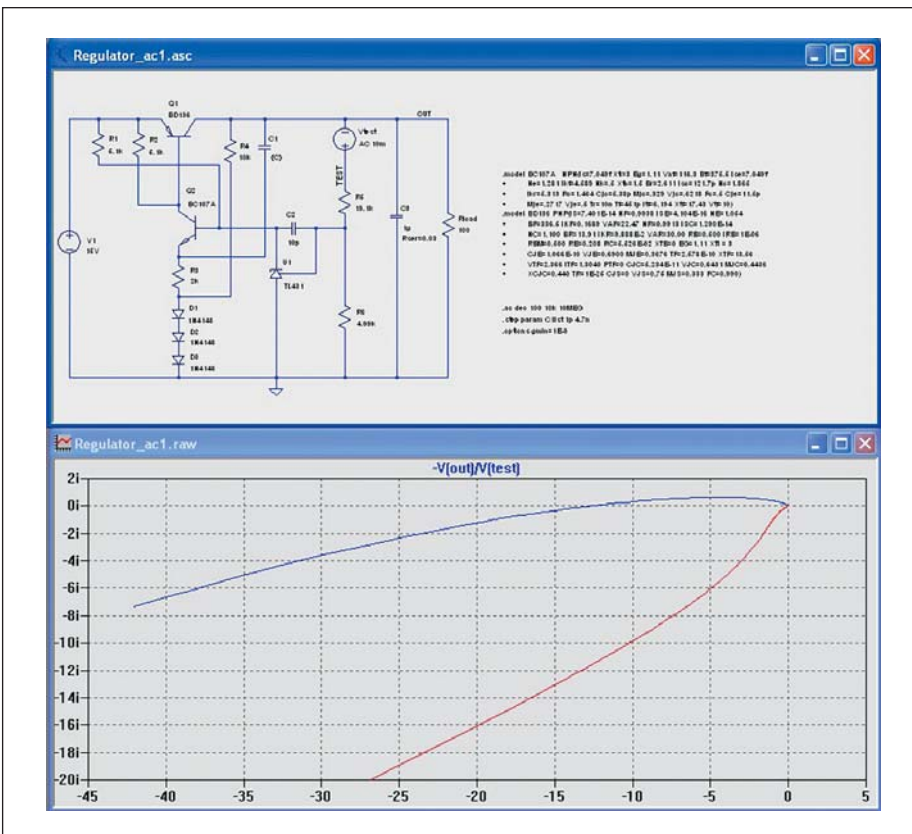


Рис. 41. Анализ устойчивости по годографу Найквиста

ко на устойчивости схемы, но и на реакции на скачок нагрузки. Увеличение корректирующей емкости ведет к росту амплитуды выбросов, увеличивает время переходного процесса и его колебательность, что ухудшает качество регулирования.

### Панель настройки

#### Вызов панели настройки

Чтобы вызвать панель настройки, используется команда меню **Tools>Control Panel**, в которой конфигурируются режимы работы LTspice/SwitcherCAD III.

#### Сжатие (Compression)

LTspice сжимает .raw-файлы данных в процессе их генерации. Сжатый файл может быть в 50 раз меньше, чем несжатый. Сжатие выполняется с потерями. Окно панели настройки (рис. 43) позволяет управлять потерями при сжатии:

- ASCII файлы данных (**ASCII data files**).
- Сжатие только при анализе переходных процессов (**Only compress transient analyses**).
- Включение сжатия первого порядка (**Enable 1st Order Compression**).
- Включение сжатия второго порядка (**Enable 2nd Order Compression**).
- Удалив метки в обеих ячейках, можно полностью отключить сжатие данных.

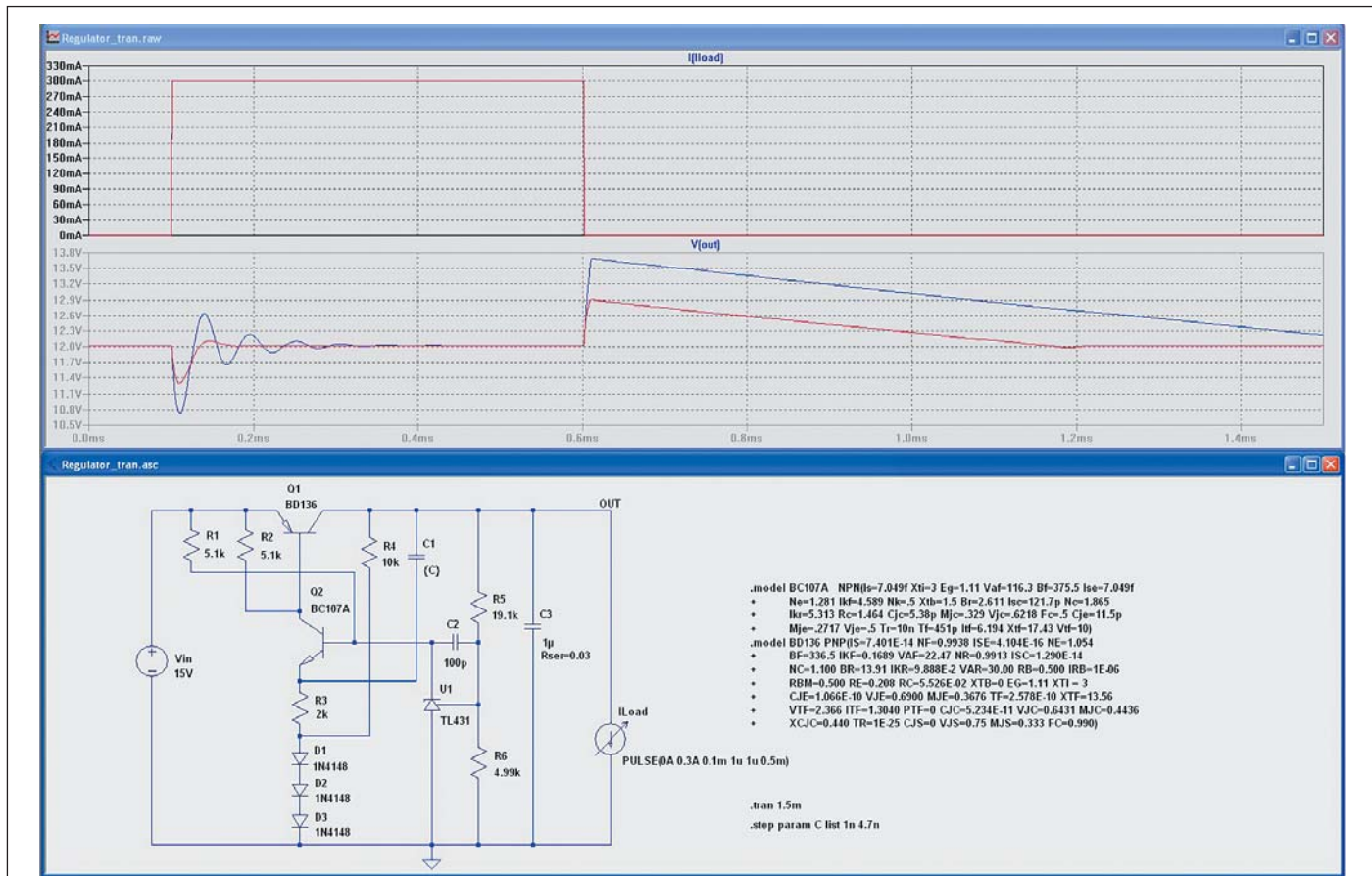


Рис. 42. Анализ переходного процесса

- Размер окна (**Window Size (No. of Points)**): максимальное количество точек, которые будут сжаты до двух граничных точек.
- Относительная погрешность (**Relative Tolerance**): относительная погрешность, допустимая между сжатыми и несжатыми данными.
- Абсолютная погрешность по напряжению, В (**Absolute Voltage tolerance[V]**): погрешность по напряжению, обеспечиваемая алгоритмом сжатия.

- Абсолютная погрешность по току, А (**Absolute Current tolerance[A]**): погрешность по току, обеспечиваемая алгоритмом сжатия. Эти параметры настройки сжатия не запоминаются. При перезагрузке программы будут применены установки по умолчанию. Они доступны на панели управления в диагностических целях. Погрешность и размер окна могут быть определены установкой параметров PROTELTOL, PLOTVNTOL, PLOTABSTOL и PLOTWINSIZE в .OPTION-директивах, размещаемых как SPICE-директивы на схеме.

лей. Для макромоделей, описываемых бинарными файлами, правило не действует.

- Открытие демонстрационных схем (**Open Demo circuits as regular schematics**): с использованием команды File>Open открываются демонстрационные схемы .\SwCADIII\lib\app\\*.app. Видимы все SPICE-команды. Схема может быть отредактирована и сохранена в новом файле. Команды с двойными точками «...» показывают возможные режимы анализа. Исполняются после редактирования SPICE-директив команды с одной точкой.

**Примечание.** Каталога .\SwCADIII\lib\app в текущей версии программы нет, возможно, он присутствовал в первых версиях программы.

- Не давать предупреждения при использовании предварительных моделей (**Don't warn when using preliminary models**): отключение предупреждающего сообщения для всех предварительных моделей.
- Автоматическое удаление .raw-файлов (**Automatically delete .raw files**): файлы данных графиков автоматически удаляются после закрытия моделируемой схемы. Это существенно уменьшает объем дискового пространства, используемого LTspice, но требует повторного запуска моделирования в следующем сеансе моделирования данной схемы.



Рис. 43. Окно настройки Compression

### Операция (Operation)

Окно **Operation** изображено на рис. 44. Параметры настройки, отмеченные звездочкой [\*], сохраняются при перезапусках программы:

- Размещение окон по умолчанию (**Default Window Tile Pattern**): размещение окон в многооконном режиме по умолчанию можно сделать вертикальным.
- Вывод графиков (**Marching Waveforms**): если ячейка помечена, обеспечивается отображение графиков непосредственно в процессе анализа по мере готовности результатов.
- Генерация расширенного листинга (**Generate Expanded Listing**): в файл SPICE Error Log добавляется расширенный список соединений, включающий в себя список соединений использованных в схеме макромодели-

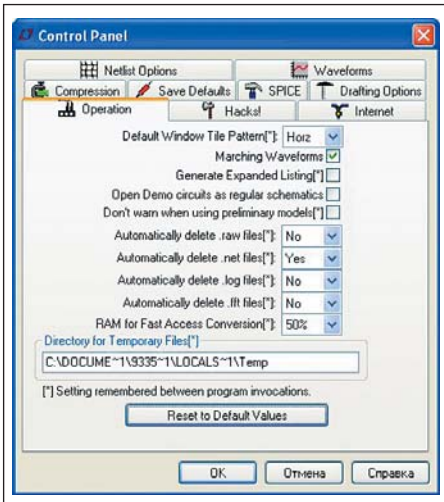


Рис. 44. Окно настройки Operation

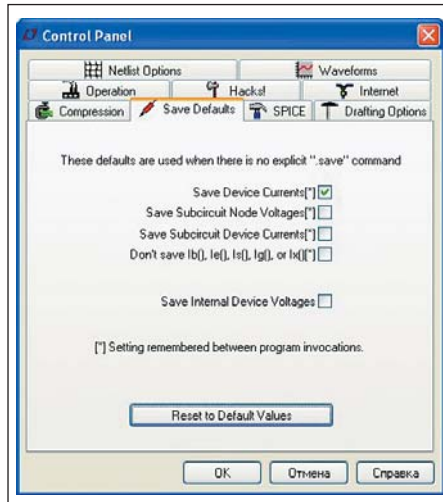


Рис. 45. Окно настройки Save Defaults

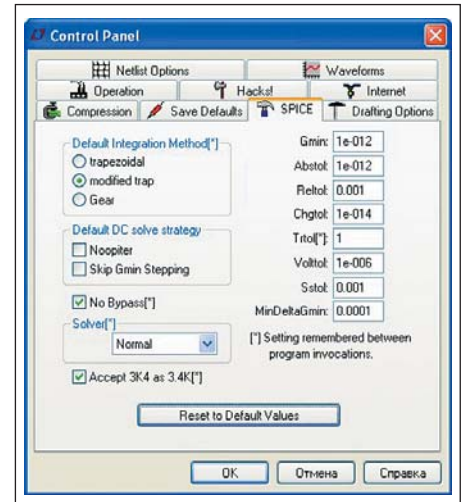


Рис. 46. Окно настройки SPICE

- Автоматическое удаление .net-файлов (**Automatically delete .net files**): после закрытия моделируемой схемы автоматически удаляются .net-файлы со списком соединений. Это небольшие временные файлы, их удаление делает папку с результатами анализа более аккуратной. Они определяют электрические связи в схеме для симулятора LTspice. Некоторые пользователи предпочитают не удалять эти файлы, используя их в дальнейшей работе.
- Автоматическое удаление .log-файлов (**Automatically delete .log files**): после закрытия моделируемой схемы автоматически удаляются .log-файлы. Эти файлы содержат различные статистические данные процесса моделирования, типа времени, затраченного на моделирование, предупреждения и сообщения об ошибках, параметры шага, используемого в .STEP/.TEMP/.DC анализах.
- Папка для временных файлов (**Directory for Temporary Files**): в ячейке показан путь к папке для временного хранения графиков и файлов обновления.

#### Сохранение по умолчанию (Save Defaults)

Эти настройки используются, когда не указывается, состояние каких конкретных узлов должно быть сохранено при моделировании. Используются настройки **Save Device Currents**, **Save Subcircuit Node Voltages** и **Save Subcircuit Device Currents**. Настройка **Save Internal Device Voltages** используется только для внутрифирменного развития программы. Окно **Save Defaults** изображено на рис. 45:

- Сохранить токи устройств (**Save Device Currents**): пометьте, чтобы отобразить токи приборов и через порты. Это потребуются для отображения графиков рассеиваемой мощности.
- Сохранить узловые потенциалы макромодели (**Save Subcircuit Node Voltages**): пометьте, чтобы отобразить напряжения в иерархических проектах.

- Сохранить токи в приборах макромодели (**Save Subcircuit Device Currents**): пометьте, чтобы отобразить токи в иерархических проектах.
- Не сохранять Ib(), Ie(), Is(), Ig() (**Don't save Ib(), Ie(), Is(), Ig()**): при этом сохраняются только токи коллектора (стока) транзисторов для сокращения размера выходного .data-файла. Полезно в проектах интегральных схем, но означает отсутствие множества данных, необходимых для расчета мощности, рассеиваемой транзисторами.

#### Окно настройки SPICE

Это окно (рис. 46) позволяет изменять настройки по умолчанию для LTspice. Эти настройки могут быть отменены для конкретного проекта при задании в нем режимов. Обычно эти настройки оставляются такими, как есть. При частом обновлении программы можно нажать **Reset to Default Values**, чтобы перезагрузиться к текущим рекомендованным настройкам.

Есть один параметр, который рекомендуется изменять: **TRTOL**. В коммерческих SPICE-программах он по умолчанию равен 7. В LTspice параметр по умолчанию равен 1, для того, чтобы при моделировании с использованием макромодели ИИП уменьшить вероятность появления артефактов в графиках. **TRTOL** в большей степени затрагивает стратегию timestep, чем непосредственно влияет на точность моделирования. Для моделирования на уровне транзисторов значение больше 1 — обычно лучшее решение. Можно заметить, что скорость удваивается, если увеличивать **TRTOL**, что неблагоприятно воздействует на точность моделирования. Установленное значение **TRTOL** сохраняется при перезапуске программы. Большинство традиционных SPICE-параметров, определяющих точность, (**GMIN**, **ABSTOL**, **RELTOL**, **CHGTOL**, **VNTOL**) не сохраняется при перезапуске программы. Если желательно использовать настройки, отличные от установлен-

ных по умолчанию, необходимо написать директиву **.OPTION**, задающую необходимые значения, и поместить ее в схему, либо записать настройки в файле **.INC**.

Важно и то, какое вычислительное ядро использовано. LTspice содержит две полные версии SPICE. Одна называется нормальной, другая — альтернативной. Альтернативное вычислительное ядро применяет отличающуюся свертку разреженной матрицы с уменьшенной ошибкой округления. Как правило, скорость моделирования с альтернативным вычислительным ядром в два раза ниже, но в тысячу раз лучше точность. Это полезно иметь для диагностики. Если нет директивы **.OPTION**, однозначно указывающей на используемое ядро, следует сделать выбор прежде, чем будет считан список соединений, поскольку два ядра используют различные анализаторы.

Пометив ячейку «Accept 3K4 as 3.4K», можно заставить LTspice понимать число, написанное в виде 4K99, как 4.99K. Обычная практика SPICE этого не позволяет, но это доступно в LTspice по запросу.

#### Варианты списка соединений (Netlist Options)

Окно **Netlist Options** показано на рис. 47:

- Преобразование «μ» в «u» (**Convert 'μ' to 'u'**): везде «μ» заменяется на «u». Используется, если установленная MS Windows не может показать греческую μ (как, например, некоторые китайские выпуски Windows по умолчанию не имеют шрифтов), а также для генерации списка соединений для SPICE-симуляторов, которые не понимают «μ» как метрический множитель 1e-6.
- Изменение порядка записи компонентов (**Reverse comp. Order**): обычно элементы схемы перечисляются в списке соединений в порядке, в котором они были добавлены в схему. Активизация этой ячейки меняет порядок записи на обратный.
- Приборы по умолчанию (**Default Devices**): всякий раз, когда, к примеру, в схеме LTspice

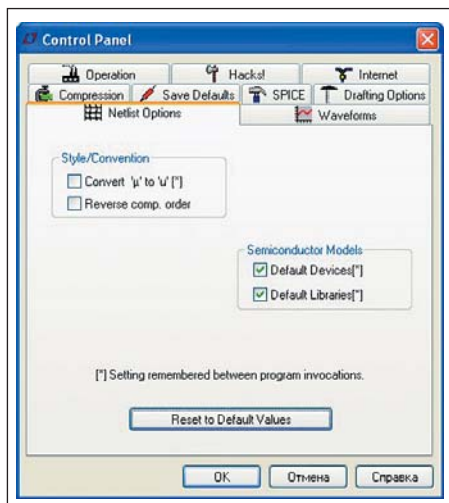


Рис. 47. Окно настройки Netlist Options

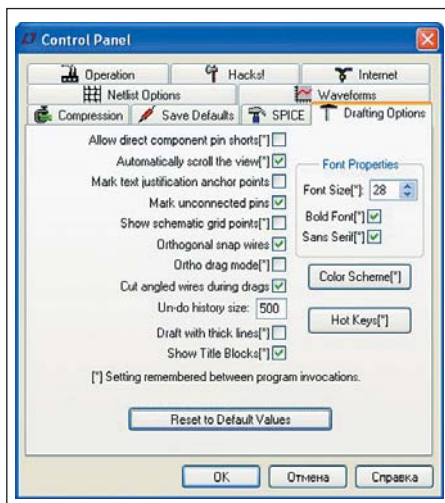


Рис. 48. Окно настройки Drafting Options

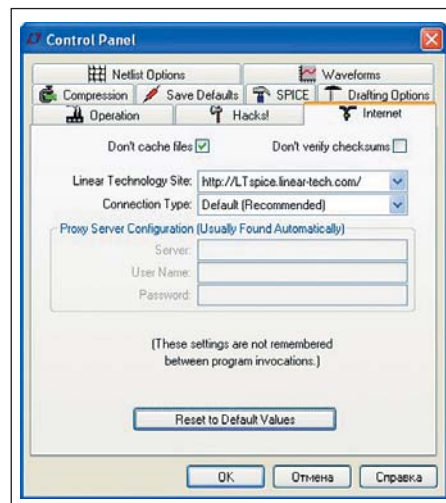


Рис. 49. Окно настройки Internet Options

применяется диод, по умолчанию в список цепей добавляется строка модели “.model D D”, чтобы подавить сообщения об использовании модели по умолчанию. Непомеченная ячейка подавляет включение аналогичных строк моделей биполярных, МОП и полевых транзисторов.

- Библиотеки по умолчанию (**Default Libraries**): всякий раз, когда, к примеру, в схеме LTspice применяется диод, по умолчанию директивой .lib в моделирование включается библиотека standard.dio. Непомеченная ячейка подавляет включение этой библиотеки, а также аналогичных ссылок на библиотеки биполярных, МОП и полевых транзисторов.
- Проблемы конвергенции (**Convergence Aids**): используется только для развития программы.

#### Компилятор (Hacks)

Это окно использовалось для развития программы, но в настоящее время практически устарело.

Обычно можно оставить имеющиеся настройки. При частом обновлении программы желательно нажать Reset to Default Values для перезагрузки с текущими рекомендованными настройками.

#### Режимы рисования (Drafting Options)

Окно **Drafting Options** изображено на рис. 48:

- Разрешение замыкать выводы компонентов (**Allow direct component pin shorts**): обычно можно тянуть связь прямо через компонент, отрезок связи, закорачивающий выводы компонента, будет удален. Если пометить ячейку, то этот отрезок не будет автоматически удален.
- Автоматический скроллинг при просмотре (**Automatically scroll the view**): активация этой ячейки позволяет при просмотре изменять масштаб схемы, используя колесо прокрутки мыши.
- Разрешение показывать точки привязки текста (**Mark text justification anchor points**):

отображается маленькая окружность, ука-зывающая точку привязки блока текста.

- Маркировка неподключенных выводов (**Mark unconnected pins**): рисуется маленький квадрат на каждом неподключенном выводе для указания на отсутствие связи.
- Отображение на схеме точек сетки (**Show schematic grid points**): делает видимой сетку.
- Ортогональная разводка связей (**Orthogonal snap wires**): обеспечивает рисование сегментов электрических связей только по вертикали или по горизонтали. Если ячейка деактивирована, связь может быть нарисована под любым углом между узлами сетки. Нажатая клавиша Ctrl на время отменяет эту установку.
- Ортогональный режим перемещения (**Ortho drag mode**): при выполнении команды Drag компонент перемещается только вдоль линии связи, в которую он включен.
- Добавление изломов в линии связи (**Cut angled wires during drags**): при выполнении команды Drag неортогональная связь преобразуется в два сегмента, если нажать на середину линии связи.
- Глубина отката (**Undo history size**): установка размера буфера команд undo/redo.
- Рисование толстыми линиями (**Draft with thick lines**): увеличивает толщину всех линий. Полезно для подготовки изображений для публикации.
- Отображение штампа (**Show Title Block**): режим для внутреннего использования.

#### Работа в Интернете (Internet Options)

Это окно панели настроек (рис. 49) используется для обновления через Интернет. LTspice часто обновляется с новыми возможностями и моделями. Для обновления до текущей версии используется команда меню **Tools>Sync Release**. Если в течение пары месяцев не производилось обновление, LTspice начинает спрашивать, не желаете ли вы проверить обновления. LTspice никогда не получит доступ к сети, не спрашивая разрешения.

LTspice не содержит никаких закладок для передачи данных любого типа при получении файлов, нуждающихся в обновлении.

- Не делать кэш-файлов (**Don't cache files**): при обновлении не делать кэш исполняемых файлов.
- Не проверять контрольные суммы (**Don't verify checksums**): по соображениям безопасности LTspice использует собственный конфиденциальный 128-битовый алгоритм контрольной суммы для подтверждения подлинности файлов, получаемых из сети для обновления. Эта аутентификация может не состояться в случае, если в алгоритме есть ошибка. Однако ни о каких проблемах с этим никогда не сообщалось, так что не рекомендуется пренебрегать этой основой безопасности. Для доступа в Интернет LTspice использует только обращение к операционной системе высокого уровня. Нет необходимости в изменении параметров настройки, кроме редких случаев, когда требуется определить прокси-сервер и пароль, поскольку не LTspice управляет доступом в Интернет, а ваш компьютер и операционная система. Параметры настройки этого окна не сохраняются при перезапуске программы. Далее будут рассмотрены описания моделей компонентов. ■

#### Литература

1. <http://ltspice.linear.com/software/scad3.pdf>
2. TL431.pdf. TL431, TL431A, TL431B, TL432, TL432A, TL431B. Adjustable Precision Shunt Regulators. Data Sheet. <http://focus.ti.com/lit/ds/symlink/tl431.pdf>
3. Tian M., Visvanathan V., Hantgan J., Kundert K. Striving for Small-Signal Stability. IEEE Circuits and Devices Magazine, vol. 17, no. 1, January 2001.
4. Cheng D. Uncovering the Mystery of Sensor Circuits' Stability. Allegro Microsystems, Inc.
5. Макаров И. М., Менский Б. М. Линейные автоматические системы (элементы теории, методы расчета и справочный материал). М.: Машиностроение, 1977.