Надписи на рисунках Calibri 12 pt

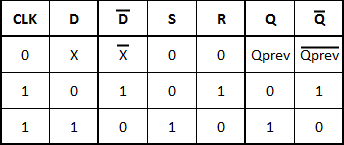
Ширина не более 16 см.

Высота пропорционально.

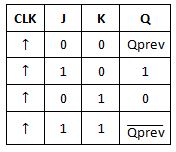
Сроки: до 02.01.2019 г.

|  |  |
| --- | --- |
| 1. Схема асинхронного RS‑триггера | 1. Обозначение асинхронного RS‑триггера |

|  |  |
| --- | --- |
| 1. Схема D-защелки | 1. Обозначение D‑защелки |



1. Таблица переходов для D-защелки

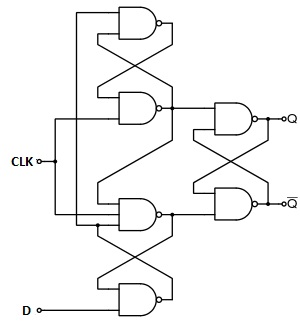


1. Таблица переходов JK триггера

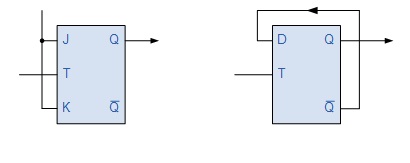
|  |  |
| --- | --- |
| 1. Схема D-триггера | 1. Обозначение D-триггера |

|  |  |
| --- | --- |
| а) | б) |

1. а) D-триггер, синхронизируемый передним фронтом; б) D‑триггер, синхронизируемый задним фронтом



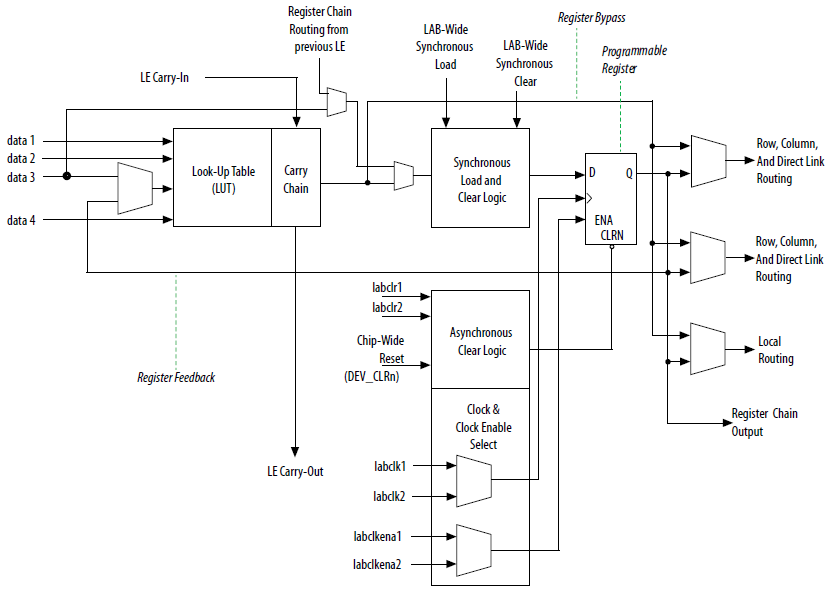
1. D-триггер на базе бистабильных ячеек



1. Структура Т-триггера

|  |  |
| --- | --- |
| JK-basic (1)  а) защелка | JK-cct (1)  б) двухступенчатый JK триггер |

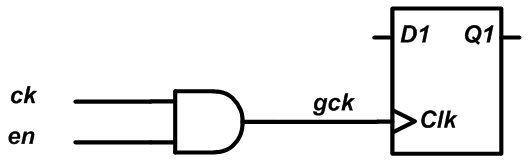
1. Структура JK-триггера



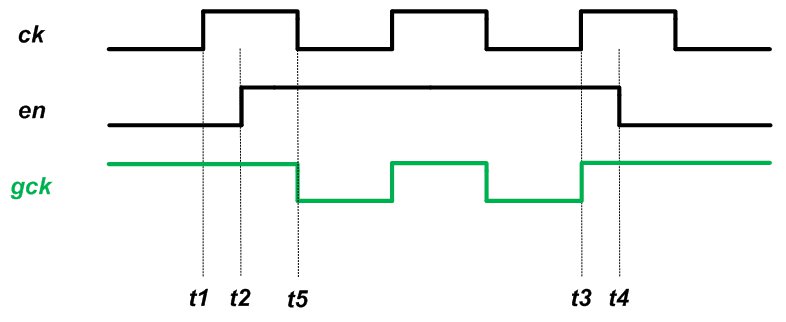
1. Логический элемент в ПЛИС MAX 10 FPGA компании Intel FPGA (из руководства пользователя MAX10 FPGA)

|  |  |
| --- | --- |
|  |  |
| 1. Схема D-триггера с синхронным сбросом | 1. D-триггер с символом сброса |

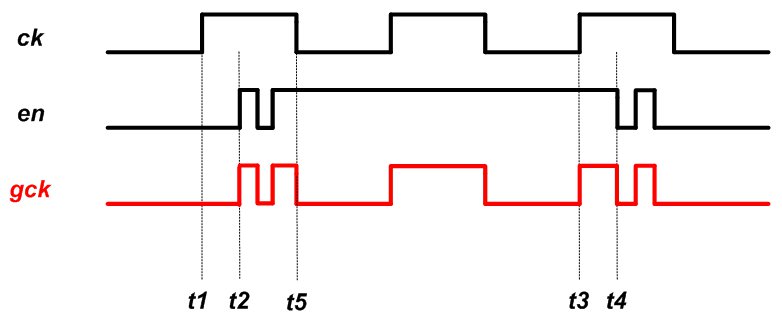
|  |  |
| --- | --- |
|  |  |
| 1. Активируемый триггер: с мультиплексором MUX и вентилем И. | 1. Обозначение активируемого триггера |



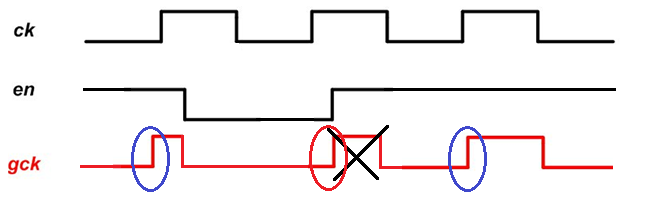
1. Блокировка тактового сигнала дополнительным сигналом en



1. Эпюры сигналов в схеме на Рисунок 2.38 –



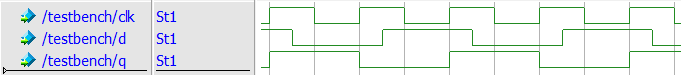
1. Влияние помех в сигнале en



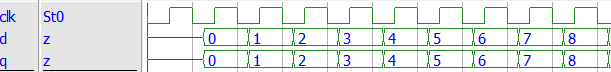
1. Ошибочное формирование тактовых импульсов

|  |  |
| --- | --- |
|  |  |
| а) схема рециркуляции | б) ячейка блокировки |

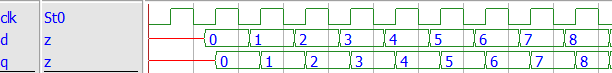
1. Основные схемы блокировки тактового сигнала



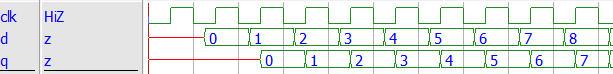
1. xxx



1. zzz



1. aaa



1. vvv